

TRANSLATION FROM JAPANESE

- (19) JAPANESE PATENT OFFICE (JP)
 (12) Unexamined Patent Gazette (A)
 (11) Unexamined Patent Application (Kokai) No. 6-334168
 (43) Disclosure Date: 2 December, 1994

Identification		JPO	Tech. Class.	
(51) <u>Int. Cl.</u> ⁵	<u>Symbol</u>	<u>File No.</u>	<u>F I</u>	Field
H01L 27/15		B 8934-4M		
29/91				
33/00		Z 7376-4M		
		A 7376-4M		
			H01L 29/91	F

Request for Examination: Not filed

Number of Claims: 24

OL (10 pages total [in original])

continued on final page

- (21) Application No.: 5-141750
 (22) Filing Date: 14 June, 1993
 (31) Priority Right Claim No.: Japanese Patent Application 5-67885
 (32) Priority Date: 26 March, 1993
 (33) Country of Priority Right Claim: Japan (JP)
 (71) Applicant 000005108

HITACHI LTD.

6 Kanda Surugadai 4-chome, Chiyoda-ku, Tokyo

(72) Inventor

KONDO, Masahiko

Hitachi Ltd. Central Research Laboratory

280 Higashi Koigakubo 1-chome, Kokubunji-shi, Tokyo

(72) Inventor

UOMI, Kazuhisa

Hitachi Ltd. Central Research Laboratory

280 Higashi Koigakubo 1-chome, Kokubunji-shi, Tokyo

(72) Inventor

NAKAMURA, Hitoshi

Hitachi Ltd. Central Research Laboratory

280 Higashi Koigakubo 1-chome, Kokubunji-shi, Tokyo

(74) Agent: OGAWA, Katsuo, Patent Attorney

(54) [Title of the Invention] **Semiconductor element**

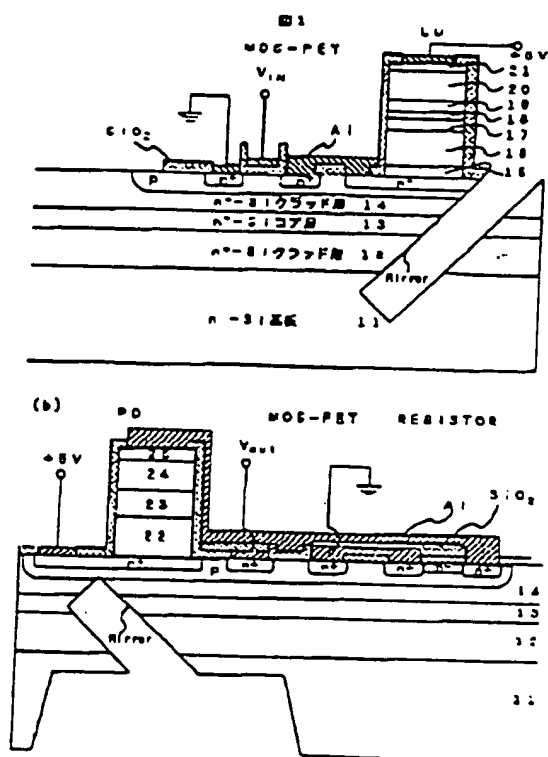
(57) [Abstract]

[Object] It is an object of the invention to provide an optical semiconductor element comprising a III-V mixed crystal semiconductor epitaxially grown on an Si substrate, enabling monolithic integration with Si electronic elements.

[Constitution] An Si-MOSFET and a laser diode comprising lattice-matched GaNP cladding layers and an active layer composed of a GaNP/GaNA stress-compensated superlattice are integrated onto an Si substrate crystal. Onto this same substrate crystal are integrated an Si-MOSFET and a PIN photodiode having a GaNP/GaNA stress-compensated superlattice. These optical semiconductor elements are coupled by means of an optical waveguide provided within the Si substrate crystal.

[Effects] According to the invention, it is possible to epitaxially grow a III-V mixed crystal semiconductor on an Si substrate without creating misfit dislocations, whereby it is possible to provide a semiconductor element capable of monolithic integration with Si electronic elements and adaptable for use in OEICs.

Fig. 1



[key]

- 11: n Si substrate
- 12: n⁺ Si cladding layer
- 13: n⁻ Si core layer
- 14: n⁺ Si cladding layer

[Claims]

- [Claim 1] A semiconductor element employing a nitrogen-based mixed crystal semiconductor $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 < x < 1$, $0 \leq y < 1$, $0 \leq z < 1$), wherein said semiconductor element is characterized in that lattice strain within the plurality of semiconductor layers of the semiconductor element is below the critical strain level that gives rise to misfit dislocations.
- [Claim 2] The semiconductor element according to claim 1 wherein lattice strain within said semiconductor layers is within $\pm 4\%$.
- [Claim 3] A semiconductor element employing a layer with compensated stress composed of a layer having compression strain and a layer having tensile strain stacked together, wherein said semiconductor element is characterized in that the material for said layer having tensile strain is a nitrogen-based mixed crystal semiconductor $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 < x < 1$, $0 \leq y < 1$, $0 \leq z < 1$).
- [Claim 4] The semiconductor element according to any of claims 1 to 3 wherein said semiconductor element is epitaxially grown on Si crystal.
- [Claim 5] The semiconductor element according to claim 4 wherein lattice mismatch vis-à-vis Si of the plurality of semiconductor layers of the semiconductor element is below critical strain levels giving rise to misfit dislocations in all temperature zones employed in the fabrication process.
- [Claim 6] The semiconductor element according to claim 4 wherein lattice mismatch vis-à-vis Si of a plurality of semiconductor layers of $\geq 0.1 \mu\text{m}$ thickness is within $\pm 0.1\%$ in all temperature zones employed in the fabrication process.

- [Claim 7] The semiconductor element according to any of claims 1 to 3 wherein said semiconductor element is epitaxially grown in GaP or AlP crystal.
- [Claim 8] The semiconductor element according to any of claims 1 to 3 wherein said semiconductor element is a laser diode.
- [Claim 9] The semiconductor element according to claim 8 wherein a layer with compensated stress composed of a layer having compression strain and a layer having tensile strain stacked together is employed as the active layer of said laser diode.
- [Claim 10] The semiconductor element according to claim 8 wherein the material for the cladding layers or guide layer of said laser diode is $\text{Al}(a)\text{Ga}(1-a)\text{N}(x)\text{P}(1-x)$ ($0 \leq a \leq 1$, $0 \leq x \leq 1$).
- [Claim 11] The semiconductor element according to claim 8 wherein said laser diode is of surface-emitting type; and at least one material selected from II-VI semiconductors such as GaP, AlP, GaNP, AlNP, Si, and ZnS is employed as the material for a multilayer film mirror.
- [Claim 12] The semiconductor element according to claim 8 wherein the material for the cladding layers or guide layer of said laser diode is Si.
- [Claim 13] The semiconductor element according to any of claims 1 to 7 wherein said semiconductor element is a laser diode.
- [Claim 14] The semiconductor element according to claim 13 wherein the material for the photoabsorbing layer of said laser diode is a nitrogen-based mixed crystal semiconductor $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$, $0 < x < 1$, $0 \leq y < 1$, $0 \leq z < 1$).

- [Claim 15] The semiconductor element according to claim 13 wherein a layer with compensated stress composed of a layer having compression strain and a layer having tensile strain stacked together is employed as the photoabsorbing layer of said laser diode.
- [Claim 16] The semiconductor element according to claim 13 wherein said laser diode is of avalanche multiplying type; and the material for the multiplying layer is Si.
- [Claim 17] The semiconductor element according to claim 5 or 6 wherein said semiconductor element is integrated with an Si electronic element.
- [Claim 18] The semiconductor element according to claim 17 wherein said semiconductor element is an optical semiconductor element.
- [Claim 19] The semiconductor element according to claim 18 wherein the wavelength of the light used in said optical semiconductor element is transparent to Si [sic].
- [Claim 20] An optical semiconductor element for use in an optoelectronic integrated circuit, wherein said semiconductor element is characterized in that an optical circuit is formed within the substrate.
- [Claim 21] A semiconductor element characterized by employing as the material for the electrode contact layer a ≤ 0.5 eV narrow band gap or metalloid nitrogen-based mixed crystal semiconductor.
- [Claim 22] A compound semiconductor optical semiconductor element produced on a substrate of Si, GaP, [or] AlP, wherein said semiconductor element is characterized by employing Si as the material for the electrode contact layer.
- [Claim 23] A semiconductor element employing a nitrogen-based mixed crystal semiconductor $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1$, $0 \leq b \leq 1$,

$0 < x < 1, 0 \leq y < 1, 0 \leq z < 1$), wherein said semiconductor element is characterized in that the AlGaInNPAsSb is epitaxially grown using active nitrogen as the nitrogen source under high vacuum of 10^{-2} (where ' denotes a superscript, so that 10^{-2} represents 10 to the -2 power) torr or lower.

[Claim 24] A semiconductor element employing a nitrogen-based mixed crystal semiconductor AlGaInNPAsSb, wherein said semiconductor element is characterized in that C, Be, Si, [or] Sn is used as an impurity for the AlGaInNPAsSb.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Utilization] The present invention relates to a semiconductor element, optical semiconductor element integratable with Si electronic elements.

[0002]

[Prior Art] Semiconductor technology has been developed to date primarily based on silicon. From the first transistor devices to ICs (integrated circuits) and VLSI (very large scale integrated circuits), the scale of integration has increased, and this increase in the scale of integration is expected to continue in the future. With increases in the scale of integration, however, there exists the possibility that increases in operating speed will be limited by electric signal delay in the lines. Optical signal interconnections have attracted attention as a possible countermeasure. Monolithic integration of Si electronic devices with III-V compound semiconductor optical elements is considered to be an important basic technology by means of which optical interconnections can be realized.

[0003] Two principal methods are being studied for forming III-V compound semiconductor optical elements on Si substrates. One is the so-called super-

heteroepitaxial method for epitaxially growing a III-V compound semiconductor (e.g., GaAs or InP) on a Si substrate whose lattice constant differs from it, and then forming an AlGaAs or InGaAsP optical element thereover. (For example, Ed. H. C. Choi, R. Hull, H. Ishikawa and R. J. Nemanich, "Heteroepitaxy on Silicon: Fundamentals, Structure, and Devices," Mater. Res. Soc. Pro., Vol. 116 (Mater. Res. Soc., Pittsburgh, 1988)). The other is a direct bonding method in which optical semiconductor elements are first grown on a GaAs or InP substrate, which is then bonded to an Si substrate. (Y. H. Lo, R. Bhat, D. M. Hwang, C. Chua and C.-H. Lin, Appl. Phys. Lett. Vol. 62, pp. 1038-1040, 1993)

A number of materials for III-V compound semiconductor elements have been proposed to date. For example, binary compound semiconductors composed of Al, Ga or In as the group III element and P, As or Sb as the group V element, as well as mixed crystal semiconductors containing these elements, described by H. C. Casey, Jr. and M. B. Panish in "Heterostructure Lasers--Part B" (Academic Press, New York, 1978), pp. 8-9, have been used for some time. Progress in crystal growing techniques has recently resulted in the ability to produce nitrogen-based mixed crystal semiconductors of GaNP (J. N. Baillargeon, K. Y. Cheng, G. E. Hofler, P. J. Pearch, and K. C. Hsieh, Appl. Phys. Lett. Vol. 60 pp. 2540-2542, 1992) and GaNAs (M. Weyers, M. Sao and H. Ando, Jpn. J. Appl. Phys. Vol. 31, 1992, pp. L853-L855), thus expanding the selection of materials. In addition, an example of nitrogen-based mixed crystal semiconductor epitaxy on an Si substrate has been disclosed in Unexamined Patent Application (Kokai) 1-211912. When nitrogen-based mixed crystal semiconductors are actually implemented in semiconductor elements like a laser diode, it is necessary to calculate the band gap and the amount of lattice strain when designing and fabricating a multilayer structure. Because the nitrogen-

based mixed crystal semiconductors exhibit large bowing in the band gap due to the extremely high electronegativity of nitrogen, described later, such special considerations not required with conventional mixed crystal semiconductors apply to design of the band gap of the multilayer structure. However, in nitrogen-based mixed crystal semiconductors grown to date, only an epitaxial monolayer is grown on the substrate crystal; there are no examples of multilayer structure in semiconductor devices.

[0004]

[Problems the Invention Attempts to Solve] A problem with both the super-heteroepitaxial method and the direct bonding method described above is that since the lattice constant of the material of the optical semiconductor element differs greatly (by 4% or more) from that of the Si substrate, misfit dislocations are produced in the crystal near the interface between the Si substrate and the III-V compound semiconductor. Another problem is that, due to the difference in thermal expansion coefficient between the Si substrate and the III-V compound semiconductor, dislocations occurring during the cooling process following the high-temperature heating process of epitaxy or bonding tend to move and increase. As a result, there are problems with the characteristics and device life of optical semiconductor elements produced therefrom. Therefore, monolithic integration of silicon based electronic elements with III-V compound semiconductor optical elements is not yet practical.

[0005] It is an object of the present invention to provide an optical semiconductor element having a III-V mixed crystal semiconductor epitaxially grown on an Si substrate, enabling monolithic integration with Si electronic elements.

[0006]

[Means Used to Solve the Problems] The stated object is achieved by holding lattice strain in the plurality of semiconductor layers of the optical semiconductor element to below the critical strain level that gives rise to misfit dislocations in all temperature zones employed in the fabrication process. Where the total thickness of strained layers exceeds a critical thickness, stress compensation should be provided, and a nitrogen-based mixed crystal semiconductor AlGaInNPAsSb should be used as the material for the layer having tensile strain. In preferred practice, the AlGaInNPAsSb strained layer will have thickness of 2 nm or greater (due to considerations pertaining to ease of fabrication) and lattice mismatch will preferably be no more than $\pm 4\%$ in relation to critical thickness. For a GaN(x)As(1-x) [material], for example, the range for mixed crystal proportion x is $0.02 < x < 0.36$.

[0007] The following description relates to means for fabricating a component for an optoelectronic integrated circuit (OEIC).

[0008] Where the light emitting diode is a laser diode (LD), a strained layer of a direct transition type nitrogen-based mixed crystal semiconductor of AlGaInNPAsSb is used as the active layer. Where the strained layers are to be grown to a total thickness exceeding critical thickness, stress is compensated by depositing a layer having a tensile strain on top of a layer having a compressive strain or depositing a layer having a compressive strain on top of a layer having a tensile strain. To improve carrier injection efficiency, it will suffice to arrange a guide layer of Al(a)Ga(1-a)N(x)P(1-x) ($0 \leq a \leq 1$, $0 \leq x \leq 1$) or Si adjacent to the active layer. Where the oscillating wavelength is longer than the band gap of Si, Si can be used as the material for the cladding layers or guide layer. Where the laser diode is of

surface-emitting type, GaP, AlP, GaNP, AlNP, Si or a II-VI semiconductor such as ZnS is used as the material for a high-quality multilayer film mirror, as shown in Fig. 2.

[0009] Where the photodetector is a photodiode (PD), in order to lower the band gap to expand the detectable wavelength range, a nitrogen-based mixed crystal semiconductor of AlGaInNPAsSb should be used as the material for the photoabsorbing layer. Where the photodiode is an avalanche photodiode, an Si material having a large difference in ionization coefficient between electrons and holes can be used for the multiplying layer.

[0010] By using ≤ 0.5 eV narrow band gap or metalloid nitrogen-based mixed crystal semiconductor of AlGaInNPAsSb for the electrode contact layer, a good ohmic electrode can be formed. It should be noted that electrode contact layers of nitrogen-based mixed crystal semiconductors are used widely not only in optical devices but also in electronic devices. For the electrode contact layer, either single crystal or polycrystalline Si may be used. When the wavelength of light used with the optical semiconductor element is transparent to Si, the Si electrode functions as a transparent electrode.

[0011] Nitrogen-based mixed crystal semiconductors of AlGaInNPAsSb can be grown epitaxially to obtain high quality crystals without misfit dislocations by using activated nitrogen source material under a vacuum of 10^{-2} torr or lower. For AlGaInNPAsSb semiconductors, C or Be can be used as p-type impurities and Si or Sn can be used as n-type impurities.

[0012] If the wavelength of light used by an optical semiconductor element in an optoelectronic integrated circuit is transparent to Si, an optical circuit can be formed using Si, or can be formed within an Si substrate. The optical circuit can be fabricated with a

layer structure, and where a signal is transmitted to multiple points (such as a clock signal) there is no need to form an optical waveguide in the layer structure.

[0013]

[Operation of the Invention] The problem of dislocations occurring when the lattice constant of the material of an optical semiconductor differs greatly from the lattice constant of Si can be solved by controlling the thickness of the semiconductor layers constituting the optical semiconductor element to within a critical thickness such that misfit dislocations do not occur. Fig. 3 shows the relationship between critical thickness and lattice mismatch calculated according to Matthews' theory. From the figure it will be apparent that critical thickness for a layer with 1% lattice mismatch is 10 nm and for a layer with 4% lattice mismatch is 2 nm. For example, GaAs has a lattice mismatch of about 4% relative to Si, so critical thickness is 2 nm; thus, thickness greater than 2 nm is not possible without generating dislocations. Of conventional mixed crystal semiconductors of the group III elements Al, Ga or In and the group V elements P, As or Sb, GaAs(0.5)P(0.5) has a lattice constant closest to that of Si; from its lattice mismatch of 2%, it will be apparent that critical thickness is 4 nm. It is known that where strained layers are to be grown to a total thickness exceeding critical thickness, it is necessary to control total strain to a value lower than critical strain by means of stress compensation provided by depositing a layer having a compressive strain on top of a layer having a tensile strain. However, the conventional mixed crystal semiconductors of the group III elements Al, Ga or In and the group V elements P, As or Sb all have lattice constants greater than the lattice constant of Si, and as such cannot be used to form layers having tensile strain. With nitrogen-based mixed crystal semiconductors of AlGaInNPAsSb, the

manufacture of which has recently become possible, it is possible to create lattice constants smaller than that of Si by selecting the mixed crystal composition, whereby stress compensation is possible using such a material as a layer having tensile strain. A superlattice layer in which the stress has been compensated in such a way as to reduce total strain to zero will be substantially lattice-matched to an Si substrate, and thus no misfit dislocations will occur.

[0014] Nitrogen-based mixed crystal semiconductors exhibit large bowing in the band gap due to the extremely high electronegativity of nitrogen. As an example, as increasing amounts of nitrogen are added to GaAs and GaP, the band gap thereof does not increase toward the 3.4 eV band gap of GaN, as do conventional mixed crystal semiconductors, but instead actually decreases. GaN(0.19)As(0.81), whose lattice is matched to that of Si, has a band gap of 0 and as such is metalloid. Fig. 4 shows the relationship between lattice mismatch of GaNAs, GaNP, AlNAs, AlNP and GaPAs [sic] relative to an Si substrate, and their band gaps. If, for example, a superlattice layer is formed by alternately depositing 1-nm GaP(0.25)As(0.75) layers each having lattice mismatch of +3% and 5-nm AlN(0.05)P(0.95) layers each having lattice mismatch of -0.6%, total strain is reduced to 0 and the band gap is essentially 2.0 eV. A superlattice layer with total strain reduced to 0 formed by alternately depositing 3-nm GaN(0.1)As(0.9) layers each having lattice mismatch of +2% and 3-nm GaN(0.14)P(0.86) layers each having lattice mismatch of -2% has a band gap of essentially 0.5 eV. As noted, the band gap can be designed freely over a range of from 2 to 0 eV with total strain held to 0, by selecting the kinds of semiconductors used to form the superlattice layer. In the above description, Si is used for the substrate crystal, but a superlattice layer with the total strain reduced to 0 through

stress compensation can be produced by using a GaP or AlP substrate crystal with a lattice constant substantially equal to that of Si.

[0015] Let us now consider the difference in thermal expansion coefficient between Si and III-V compound semiconductors. Since the thermal expansion coefficient of Si is $2.6 \times 10^{-6}/^{\circ}\text{C}$ and the thermal expansion coefficient of GaAs is $6.0 \times 10^{-6}/^{\circ}\text{C}$, if GaAs and Si are cooled from a 630°C high temperature process to room temperature of 30°C , thermal strain of 0.2% occurs. From Fig. 3, critical thickness is estimated to be 80 nm. According to Matthews' theory, when lattice mismatch is small, critical thickness estimates tend to be smaller; nevertheless, this thermal strain is a problem when a device several μm thick is produced. When a layer is grown to thickness of 0.1 μm or more, virtually no dislocations will occur if lattice mismatch is held to less than $\pm 0.1\%$. To this end, it is necessary to select the composition of the layer so as to be lattice-matched to Si as shown in Fig. 5, and to set the temperature for lattice matching at a temperature between room temperature and the temperature of the high temperature process. Note that the layer with a thickness of 0.1 μm or more referred to herein may be a layer of a single composition or a superlattice layer with the total strain reduced to 0 by stress compensation in the manner described above.

[0016]

[Examples] (Example 1) In this example, an optoelectronic integrated circuit (OEIC) was fabricated by integrating 10,000 Si electronic elements (such as MOSFETs (metal-oxide-semiconductor field-effect transistors)), 100 surface-emitting diodes composed of III-V mixed crystal semiconductors, and 100 PIN photodiodes composed of III-V alloy semiconductors, all on the same Si substrate. Fig. 1 shows sectional views of the structure

of the OEIC. Fig. 1(a) shows a surface-emitting laser diode LD integrated with a MOSFET and Fig. 1(b) shows a PIN photodiode integrated with a MOSFET and a resistor. In this OEIC, the electronic circuit is formed on the surface of a Si substrate 11, and the optical circuits are formed within the Si substrate, so that the electronic circuit and the optical circuits are spatially separated. The spatial separation of the electronic and optical circuits allows the electronic and optical circuit lines to be produced independently, thus offering a greater degree of freedom in wiring architecture.

[0017] The method for fabricating the OEIC will now be described. First, the method for forming the optical circuits shall be described. In Fig. 1, reference numeral 11 denotes an n-type (111) Si substrate having epitaxially grown thereon an n-type Si layer 12 ($n = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 1 \text{ } \mu\text{m}$) constituting a cladding layer for the light waveguide and an n-type Si layer 13 ($n = 1 \times 10^{15} \text{ cm}^{-3}$, $d = 1 \text{ } \mu\text{m}$) constituting a core layer. To form a light waveguide in the plane of the core layer, phosphorus ions are injected [in a concentration of] $n = 1 \times 10^{18} \text{ cm}^{-3}$ into the core layer on both sides of the region that will serve as the core to produce cladding portions. After the light waveguide has been formed in the plane, an n-type Si layer 11 [sic] ($n = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 3 \text{ } \mu\text{m}$) is grown over the core layer 13 to form a three-dimensional light waveguide. When a signal is sent to a number of points (such as a clock signal), the light waveguide need not be formed in the plane of the core layer. In this example, the core layer has a single stage, but it is possible to form a plurality of stages and thus to design the optical circuits freely.

[0018] Next, as a preparatory step prior to fabricating an electronic device, ions are implanted into the Si substrate in which the light waveguide has been formed. As shown in Fig. 1, boron ions are implanted to form a p-type region of high resistivity for isolation.

purposes. Phosphorus ions are implanted to form a contact layer for an n-type III-V optical semiconductor element, and elements such as source and drain electrodes for the MOSFET, resistors, and the like are formed.

[0019] Next, a group III-V optical semiconductor element was formed by selective growth. First, the surface-emitting laser diode is described. The surface-emitting laser diode is 5 μm in diameter. In Fig. 1(a), reference numeral 15 denotes an n-type GaN(0.03)P(0.97) buffer layer ($n = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 0.1 \mu\text{m}$), 16 denotes an n-type semiconductor multilayer film mirror ($n = 1 \times 10^{18} \text{ cm}^{-3}$), 17 denotes an n-type GaN(0.03)P(0.97) cladding layer ($n = 1 \times 10^{18} \text{ cm}^{-3}$), 18 denotes an undoped active layer, 19 denotes a p-type GaN(0.03)P(0.97) clad layer ($p = 1 \times 10^{18} \text{ cm}^{-3}$), 20 denotes a p-type semiconductor multilayer film mirror ($p = 1 \times 10^{19} \text{ cm}^{-3}$, and 21 denotes a metalloid GaN(0.19)As(0.81) contact layer ($d = 0.1 \mu\text{m}$). The active layer is a stress-compensated superlattice layer which permits the band gap to be set freely in the range of 2 to 0 eV, but because the silicon ($E_g = 1.1 \text{ eV}$) material for the optical circuit must be transparent, in this example, a stress-compensated superlattice layer with a band gap of essentially 0.8 eV (wavelength: 1.55 μm) and formed by alternately depositing 2-nm GaN(0.07)P(0.93) layers each having lattice mismatch of -1% and 1-nm GaN(0.10)As(0.90) layers each having lattice mismatch of +2% was used. The thickness was $d = 100 \text{ nm}$, obtained by repeating layer deposition for 33 cycles in such a way that the thickness was equal to about 1/4 of the wavelength in the semiconductor. In order to create a 1-wavelength resonator, the thickness of the cladding layer on each side was equal to 3/8 of the wavelength in the semiconductor, so that the distance between mirrors was 1 wavelength. Each of the semiconductor multilayer film mirrors was formed by alternately

depositing high-refractive-index GaN(0.03)P(0.97) layers each $1/4$ wavelength thick in the semiconductor and low-refractive-index AlN(0.04)P(0.96) layers each $1/4$ wavelength thick in the semiconductor. In order to obtain the reflectance of 99% or more, the mirror layers were formed by repeating layer deposition 20 times. The mirror layers may be formed by alternately depositing layers with high refractive index and layers with low refractive index; to this end, for example, the materials given in Fig. 2 may be used. For the p-type mirror layer, doping with a high concentration ($p = 1 \times 10^{19} \text{ cm}^{-3}$) was carried out to reduce the resistivity. The PIN photodiode is now described. The PIN photodiode is $5 \mu\text{m}$ in diameter. In FIG. 1(b), reference numeral 22 denotes an n-type GaN(0.03)P(0.97) layer ($n = 2 \times 10^{18} \text{ cm}^{-3}$, $d = 1.0 \mu\text{m}$), 23 denotes an undoped stress-compensated superlattice layer ($n = 1 \times 10^{15} \text{ cm}^{-3}$, $d = 0.5 \mu\text{m}$) having an effective band gap of 0.5 eV and formed by alternately depositing 2-nm Ga(0.14)P(0.86) layers each having lattice mismatch of -2% and 2-nm GaN(0.10)As(0.90) layers each having lattice mismatch of +2%, 24 denotes a p-type GaN(0.03)P(0.97) layer ($p = 2 \times 10^{18} \text{ cm}^{-3}$, $d = 1.0 \mu\text{m}$), and 25 denotes a metalloid Al(0.50)Ga(0.50)N(0.19)As(0.81) contact layer ($d = 0.1 \mu\text{m}$). The layers constituting the surface emitting diode and the PIN photodiode were formed by growing crystals in a high vacuum of 1×10^{-6} torr continuously in a gas source molecular beam epitaxial system. When growing the Si layers, polysilicon was used as the material, and Sb was used as the n-type dopant. When growing the III-V compound semiconductors, metal elements were used as group III materials, and phosphine and arsine were used as the sources for P and As, and molecular nitrogen activated by an RF plasma was used as the nitrogen source. Si and C (neopentane) were used as the n-type and p-type dopants, respectively. The growing temperature was 500°C ; the stress-

compensated superlattice layers and the single-composition layers were all designed to be lattice-matched to the Si substrate at 300°C. As a result, lattice mismatch with Si could be maintained at less than 0.1% over the entire temperature range employed in the manufacturing process.

[0020] The Si wafer on which the group III-V optical semiconductor elements were formed was then covered with an SiO₂ oxide film for use as the gate electrode of the MOSFET and also to protect the surfaces of the group III-V optical semiconductor elements. The resultant optical semiconductor elements and electronic elements were provided with metal interconnects through multilayer metallization with Al and SiO₂.

[0021] Finally, to form mirrors in the optical circuits, grooves were produced at an angle of 45° using a halogen system reactive ion beam, thus completing the OEIC. The grooves can be made from either the top or bottom side of the substrate, depending on which is easier.

[0022] Operation of the OEIC is now described. When voltage is applied to the gate electrode of the MOSFET for driving the laser diode, current is injected into the surface-emitting laser diode causing the laser to oscillate. The laser beam is directed into the Si substrate and undergoes total reflection by the 45° mirror, whereby it is guided into the optical waveguide. The guided laser beam again undergoes total reflection by a 45° mirror and is guided into the photodiode. The detected laser beam is converted into electrical current by the photodiode, this current is converted by the resistor into voltage, and this voltage is amplified by the MOSFET and finally output to the source electrode.

[0023] (Example 2) Fig. 6 shows sectional views of the structure of another example of the OEIC in which the present invention is implemented. FIG. 6(a) shows a photoemitter

portion having a Si MOSFET and a surface emitting laser diode integrated on a Si crystal substrate, while FIG. 6(b) shows a photodetector portion having a Si-MOSFET, a resistor, and an avalanche photodiode integrated on another Si crystal substrate. These are connected by an optical fiber for signal transmission between IC chips. First, the manufacturing method will be described. Ion implantation is performed on the p-type (511) Si substrates as a preparatory step for fabricating electronic devices. As shown in Fig. 6, to provide isolation regions, phosphorus ions are implanted to form n-type regions of high resistivity, and boron ions are implanted to form contact layers for p-type group III-V optical semiconductor devices, source and drain electrodes for the MOSFET, and a resistor. The group III-V optical semiconductor devices are then formed by selective growth. First, the structure of the surface emitting laser diode will be described. In FIG. 6(a), reference numeral 41 denotes a p-type GaN(0.03)P(0.97) buffer layer ($p = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 0.1 \text{ } \mu\text{m}$), 42 and 46 respectively denote p-type and n-type AlN(0.04)P(0.96) cladding layers ($p, n = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 1.0 \text{ } \mu\text{m}$), 43 and 45 denote p-type and n-type AlGaNP guide layers ($p, n = 5 \times 10^{17} \text{ cm}^{-3}$, $d = 0.30 \text{ } \mu\text{m}$) of so-called GRIN (Graded Refractive Index) structure having the band gap parabolically varied by varying the Al composition, 44 denotes a non-stress-compensated undoped quantum well active layer (wavelength: $1.24 \text{ } \mu\text{m}$) formed by alternately depositing for 2.5 cycles 10-nm GaN(0.03)P(0.97) barrier layers each having lattice mismatch of 0% and 1.5-nm GaN(0.10)As(0.90) well layers each having lattice mismatch of +2%, and 47 denotes a Si contact layer ($n = 1 \times 10^{19} \text{ cm}^{-3}$, $d = 0.1 \text{ } \mu\text{m}$). To produce a resonator, mirrors are formed by etching in the vertical direction using a halogen-system reactive ion beam, by which step a laser diode is completed. The resonator is $300 \text{ } \mu\text{m}$ long. The structure of the

avalanche photodiode will next be described. The diameter of the avalanche photodiode is 10 μm . In FIG. 6(b), 48 denotes a p-type GaP buffer layer ($p = 2 \times 10^{18} \text{ cm}^{-3}$, $d = 0.01 \mu\text{m}$), 49 denotes a p-type GaN(0.03)P(0.97) buffer layer ($p = 2 \times 10^{18} \text{ cm}^{-3}$, $d = 1.0 \mu\text{m}$), 50 denotes an n-type stress-compensated super-lattice photoabsorbing layer ($p = 1 \times 10^{15} \text{ cm}^{-3}$, $d = 0.3 \mu\text{m}$) having a band gap of substantially 0.8 eV, formed by alternately depositing 2-nm GaN(0.07)P(0.93) layers each having lattice mismatch of -1% and 1-nm GaN(0.10)As(0.90) layers each having lattice mismatch of +2% , 51 denotes an n-type Si electric buffer layer ($n = 2 \times 10^{17} \text{ cm}^{-3}$, $d = 0.05 \mu\text{m}$), 52 denotes an n-type Si multiplication layer ($n = 2 \times 10^{15} \text{ cm}^{-3}$, $d = 0.1 \mu\text{m}$), 53 denotes an n-type Si cap layer ($n = 2 \times 10^{18} \text{ cm}^{-3}$, $d = 1.0 \mu\text{m}$), and 54 denotes an n-type Si contact layer ($n = 2 \times 10^{19} \text{ cm}^{-3}$, $d = 0.1 \mu\text{m}$).

[0024] The layers constituting the laser diode and the avalanche photodiode were formed by growing crystals in a high vacuum of 1×10^{-5} torr in a chemical beam epitaxial system. When growing the Si layers, polysilicon was used as the material, and Sb and B were used as the n-type and p-type dopants, respectively. When growing the III-V semiconductor layers, ethyl-based organometallic compounds were used as group III materials, phosphine and arsine were used as sources for P and As, and nitrogen obtained by activating ammonia molecules by ECR plasma was used as the nitrogen source. Sn and Be were used as the n-type and p-type dopants. Crystal growing was performed at 400°C; the stress-compensated superlattice layer and the single-composition layers were all designed to be lattice matched to Si at 300°C. The Si wafer on which the group III-V optical semiconductor devices were formed was covered with a SiO_2 film to protect the surfaces of the group III-V optical semiconductor devices, and also for use as the gate

electrode of the MOSFET. The resultant optical semiconductor elements and electronic elements were provided with metal interconnects through multilayer metallization with Al and SiO₂.

[0025] Operation of the OEIC is now described. When a voltage is applied to the gate electrode of the MOSFET for driving the laser diode, current is supplied into the surface emitting laser diode, and the laser oscillates. The laser beam is introduced into an optical fiber, and the introduced laser beam is guided into the avalanche photodiode. The detected laser beam is converted by the photodiode into electrical current, this current is converted by the resistor into voltage, and this voltage is amplified by the MOSFET, and finally output to the source electrode.

[0026] In this example, the photoemitter and the photodetector are formed on the separate substrate crystals, and are used for signal transmission between the IC chips, but like in Example 1 described earlier, the photoemitter and the photodetector may be used for signal transmission within an IC chip by using a light waveguide or an optical fiber.

[0027] (Example 3) In this embodiment, an independent surface emitting laser diode is formed on a Si substrate. The sectional view of its structure is shown in Fig. 7. The diameter of the surface emitting laser diode is 10 μm . In Fig. 7, reference numeral 61 denotes an n-type (100) Si substrate ($n = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 200 \mu\text{m}$), 62 denotes an n-type GaP buffer layer ($n = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 0.01 \mu\text{m}$), 63 denotes an n-type GaN(0.03)P(0.97) buffer layer ($n = 1 \times 10^{18} \text{ cm}^{-3}$, $d = 0.5 \mu\text{m}$), 64 denotes an n-type semiconductor multilayer film mirror ($n = 1 \times 10^{18} \text{ cm}^{-3}$), 65 denotes an n-type Si cladding layer ($n = 1 \times 10^{18} \text{ cm}^{-3}$), 66 denotes an undoped active layer, 67 denotes a p-type Si cladding layer ($p = 1 \times 10^{18} \text{ cm}^{-3}$), 68 denotes a dielectric multilayer film mirror,

69 denotes a p-type electrode, and 70 denotes an n-type electrode. The active layer was formed by a stress-compensated superlattice layer having a band gap of substantially 0.8 eV (wavelength: 1.55 μm) produced by alternately depositing 2-nm $\text{GaN}(0.07)\text{P}(0.93)$ layers each having lattice mismatch of -1% and 1-nm $\text{GaN}(0.10)\text{A}(0.90)$ layers each having lattice mismatch of +2%. The thickness was $d = 100 \text{ nm}$, produced by repeating layer deposition for 33 cycles so that the thickness was equal to about $1/4$ of the wavelength in the semiconductor. A 3-wavelength resonator was formed by providing an n-type clad layer whose thickness was $3/8$ of the wavelength in the semiconductor, and a p-type clad layer whose thickness was equal to $2+3/8$ wavelengths in the semiconductor. The p-type cladding layer was doped to a high concentration of $p = 2 \times 10^{18} \text{ cm}^{-3}$ to reduce the resistivity. The semiconductor multilayer film mirror was formed by alternately depositing high-refractive-index $\text{GaN}(0.03)\text{P}(0.97)$ layers each $1/4$ of the wavelength thick in the semiconductor, and low-refractive-index $\text{AlN}(0.04)\text{P}(0.96)$ layers each $1/4$ of the wavelength thick in the semiconductor. The mirror layers were formed by repeating layer depositing 20 times to achieve a reflectance of 99% or more. The dielectric multilayer film mirror was formed by alternately depositing high-refractive-index amorphous Si layers each $1/4$ of the wavelength thick in the dielectric, and low-refractive-index SiO_2 layers each $1/4$ of the wavelength thick in the dielectric. To obtain a reflectance of 99% or more, the mirror layers were formed by repeating layer deposition 5 times. Because the dielectric multilayer film mirror needs to be formed by alternate deposition of high-refractive-index layers and low-refractive-index layers, it is possible to use SiN and SiO_2 , amorphous Si and SiN, or TiO_2 and SiO_2 . The semiconductor layers 62-67 were formed by growing crystals in a high vacuum of 1×10^{-7} torr continuously in a gas source

molecular beam epitaxy system. When growing the Si layers, polysilicon was used as material, and Sb and B were used as n-type and p-type dopants, respectively. When growing the group III-V semiconductors, metals were used as the group III materials, phosphine and arsine were used as the P and As sources, and molecular nitrogen activated by an RF plasma was used as the nitrogen source. Si and C (neopentane) were used to provide n-type and p-type dopants. Epitaxial growing was performed at 600°C; the stress-compensated superlattice layer and the single composition layers were all designed to be lattice matched to Si at 300°C. In this way, lattice mismatch relative to Si could be held to 0.1% or less over the entire temperature range used in the manufacturing process. The dielectric multilayer film was deposited on the wafer once crystal growth had been completed. Next, the device was isolated by etching in the vertical direction using a halogen-system reactive ion beam as shown in Fig. 7. The diameter of the device is 10 μm . By finally providing p-type and n-type electrodes, the surface emitting laser diode is completed. This laser diode is characterized by long device life due to the lack of misfit dislocations in the vicinity of the interface with the adjacent layers.

[0028] (Example 4) In this example, an independent avalanche photodiode was formed on a Si substrate inclined 5 degrees towards the [110] direction from (100). A detection light was introduced from the rear side of the substrate crystal of this device. Fig. 8 is a sectional view of the structure of this device. In Fig. 8, reference numeral 71 denotes an n-type Si substrate ($n = 1 \times 10^{18} \text{cm}^{-3}$, $d = 200 \mu\text{m}$), 72 denotes an n-type Si buffer layer ($n = 1 \times 10^{18} \text{cm}^{-3}$, $d = 0.5 \mu\text{m}$), 73 denotes a p-type Si multiplication layer ($p = 2 \times 10^{15} \text{cm}^{-3}$, $d = 0.2 \mu\text{m}$), 74 denotes a p-type Si electric field attenuating layer ($p = 2 \times 10^{17} \text{cm}^{-3}$, $d = 0.1 \mu\text{m}$), 75 denotes an undoped, stress-compensated superlattice

photoabsorbing layer ($p = 2 \times 10^{15} \text{ cm}^{-3}$, $d = 0.3 \text{ }\mu\text{m}$) having a band gap of essentially 0.5 eV, formed by alternately depositing 3-nm GaN(0.1)As(0.9) layers each having lattice mismatch of +2% and 3-nm GaN(0.14)P(0.86) layers each having lattice mismatch of -2%, 76 denotes a p-type GaN(0.03)P(0.97) cap layer ($p = 2 \times 10^{18} \text{ cm}^{-3}$, $d = 1.0 \text{ }\mu\text{m}$), 77 denotes a p-type Si contact layer ($p = 2 \times 10^{19} \text{ cm}^{-3}$, $d = 0.1 \text{ }\mu\text{m}$), 78 denotes a polyimide insulating protective layer, 79 denotes a p-type electrode, 80 denotes an n-type electrode, and 81 denotes a nonreflective layer. The semiconductor layers 72-77 were formed by growing crystals continuously in a high vacuum of 1×10^{-7} torr in a gas source molecular beam epitaxy system. When growing the Si layers, polysilicon was used as source material, and Sb and B were as n-type and p-type dopants. When growing the group III-V semiconductor layers, metals were used to provide group III materials, phosphine and arsine were used as materials for P and As, and molecular nitrogen activated by an RF plasma was used as the nitrogen source. Si and C (neopentane) were used as n-type and p-type dopants. Crystal growing was performed at 600°C ; the stress-compensated superlattice layer and the single composition layers were all designed to be lattice-matched with Si at 300°C . In this way, lattice mismatch relative to Si could be held to 0.1% or less over the entire temperature range used in the manufacturing process. The wafer on which the crystal growth had been completed was then subjected to wet etching to isolate the devices as shown in Fig. 8 in order to form the photodetector portion $50 \text{ }\mu\text{m}$ in diameter and the n-type electrode portions. An insulating protective layer of polyimide was then formed, and the n-type electrode and the p-type electrode were deposited. Finally, the rear side of the substrate crystal was coated with a nonreflective film 81 using SiN. This avalanche photodiode was capable of detecting a long-wavelength light up to

about 2.5 μm long owing to the band gap of 0.5 eV in the light absorbing layer, and was also capable of high multiplication because a silicon with a great difference in ionization coefficient between electrons and holes was used to form the multiplying layer.

Furthermore, the absence of misfit dislocations ensures a long device lifetime.

[0029] (Example 5) Fig. 9 shows a sectional view of the structure of a semiconductor laser to which the present invention is applied. In Fig. 9, reference numeral 91 denotes an n-type (110) Si substrate, 92 denotes an n-type GaP cladding layer (1 μm), 93 denotes an undoped GaN(0.1)As(0.9) active layer (50 nm), and 94 denotes a p-type GaP clad layer (1 μm). Layers 92 - 94 were formed by growing crystals on the Si substrate 91 continuously in a high vacuum of 1×10^{-2} torr in a chemical beam epitaxial system.

Metals were used as group III materials, phosphine and arsine were as the P and As sources, and activated nitrogen was used as nitrogen source. The wafer on which crystals had been grown was provided with a current bottleneck layer 95 made of a silicon nitride film, a p-type electrode 96, and an n-type electrode 97, and the wafer was then diced into chips 300 μm square. When a current was conducted into a semiconductor laser, the laser emitted a near infrared laser beam. In this example, GaP was used for the cladding layers, but it would be possible to use $\text{Al}(a)\text{Ga}(1-a)\text{P}$ ($0.1 \leq a \leq 1$) obtained by adding Al, so as to increase the band gap difference in relation to the active layer. It is preferable to add nitrogen to $\text{Al}(a)\text{Ga}(1-a)\text{P}$ to give $\text{Al}(a)\text{Ga}(1-a)\text{N}(x)\text{P}(1-x)$: ($0 \leq a \leq 1$, $0 < x < 1$) so as to be completely lattice matched to the substrate crystal.

[0030] (Example 6) Fig. 10 is a sectional view of the structure of a light emitting diode to which the present invention is applied. In Fig. 10, reference numeral 101 denotes an n-type (100) GaP substrate, 102 denotes an n-type $\text{InN}(0.4)\text{P}(0.6)$ layer

(1 μm thick), and 103 denotes a p-type $\text{InN}(0.4)\text{P}(0.6)$ layer (1 μm thick). The layers 102, 103 were formed by growing crystals on the GaP substrate 101 continuously in high vacuum of 1×10^{-3} torr in a chemical beam epitaxy system. Organometallic compounds were used as materials for group III elements, phosphine and arsine were as the P and As sources, and activated nitrogen was used as the nitrogen source. The wafer on which the crystal growth had been completed was provided with a p-type transparent electrode 104 and an n-type electrode 105. When a current was applied at room temperature to the diode thus produced, emission of red light was observed.

[0031] The optical devices whose fabrication has been described in the examples set forth hereinabove are a laser diode, a photodiode and a light-emitting diode, but the present invention naturally can be implemented in other optical semiconductor elements, such as an optical modulator. Of course, the present invention may be implemented in electronic devices other than MOSFETs, and in existing electronic circuits employing Si-ICs. The optical elements in Examples 1 and 2 are described as being integrated with electronic devices but, of course, these optical elements can operate as independent elements. In Examples 1 to 5, Si was used as the substrate crystal, but GaP and AlP having almost the same lattice constant as Si may be used. In the stress-compensated strained superlattice layer, a wide variety of N-containing mixed crystal semiconductors AlGaInNPAsSb other than GaNP and AlP may be used as the material for the component layers under compressive strain.

[0032]

[Effects of the Invention] According to the present invention there is now provided a method for epitaxially growing III-V mixed crystal semiconductors on Si substrates

without misfit dislocations, so that it is now possible to provide semiconductor devices which can be monolithically integrated with Si-based electronic devices and can apply this technique to OEIC.

[Brief Description of the Figures]

[Figure 1] Sectional view of the OEIC of Example 1.

[Figure 2] Materials for a multilayer film mirror.

[Figure 3] The relationship between lattice mismatch and critical thickness.

[Figure 4] The relationship between lattice mismatch and band gap between an Si substrate and GaNAs, GaNP, AlNAs, AlNP and GaPAs.

[Figure 5] The relationship between lattice mismatch and temperature in Si and GaNP.

[Figure 6] Sectional view of the OEIC of Example 2 of the invention.

[Figure 7] Sectional view of the surface-emitting laser diode of Example 3.

[Figure 8] Sectional view of the avalanche photodiode of Example 4 of the invention.

[Figure 9] Sectional view of the surface-emitting laser diode of Example 5 of the invention.

[Figure 10] Sectional view of the light-emitting diode of Example 6 of the invention.

[Key]

11: n-type Si substrate; 12: Si cladding layer; 13: Si core layer; 14: Si cladding layer; 15: n-type GaN(0.3)P(0.97) buffer layer; 16: n-type semiconductor multilayer film mirror; 17: n-type GaN(0.3)P(0.97) cladding layer; 18: stress-compensated superlattice active layer of alternately deposited 2-nm GaN(0.07)P(0.93) layers and 1-nm GaN(0.10)As(0.90) layers;

19: p-type GaN(0.3)P(0.97) cladding layer; 20: p-type semiconductor multilayer film mirror; 21: metalloid GaN(0.19)As(0.81) contact layer; 22: n-type GaN(0.03)P(0.97) layer; 23: undoped stress-compensated superlattice layer formed by alternately depositing 2-nm GaN(0.14)P(0.86) layers and 2-nm GaN(0.10)As(0.90) layers; 24: p-type GaN(0.03)P(0.97) layer; 25: metalloid GaN(0.19)As(0.81) contact layer; 41: p-type GaN(0.03)P(0.97) buffer layer; 42: p-type AlN(0.04)P(0.96) cladding layer; 43: p-type AlGaNP guide layer; 44: non-stress-compensated undoped quantum well active layer formed by alternately depositing 10-nm GaN(0.03)P(0.97) barrier layers and 1.5-nm GaN(0.10)As(0.90) well layers for 2.5 cycles; 45: n-type AlGaNP guide layer; 46: n-type AlN(0.04)P(0.96) cladding layer; 47: Si contact layer; 48: p-type GaP buffer layer; 49: p-type GaN(0.03)P(0.97) buffer layer; 50: n-type stress-compensated super-lattice photoabsorbing layer formed by alternately depositing 2-nm GaN(0.07)P(0.93) layers and 1-nm GaN(0.10)As(0.90) layers; 51: n-type Si electric buffer layer; 52: n-type Si multiplication layer; 53: n-type Si cap layer; 54: n-type Si contact layer.

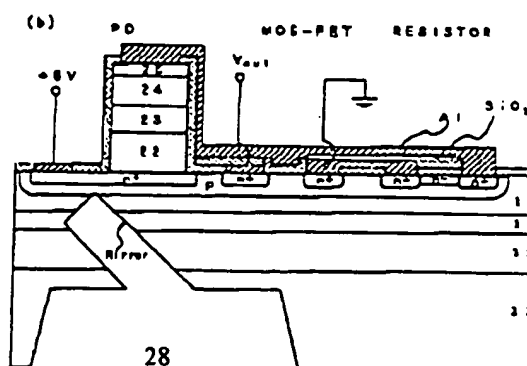
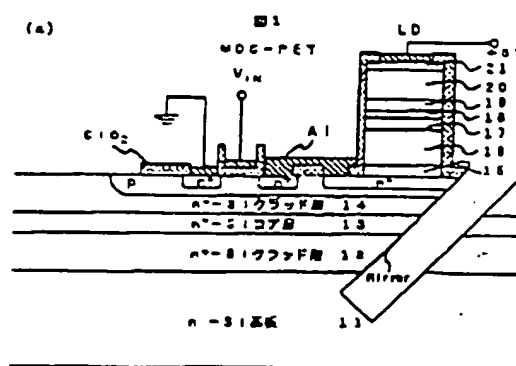
Fig. 1

[key]

11: n Si substrate

12: n⁺ Si cladding layer

13: n⁻ Si core layer



14: n^+ Si cladding layer

Fig. 2

- (A) high-refractive index material (Text in first column, first row)
- (B) low-refractive index material (Text in second column. First row)
- (C) superlattice (Text in first column, sixth row)
- (D) superlattice (Text in second column, sixth row)

Fig. 3

- (a) critical thickness (y-axis)
- (b) lattice mismatch (x-axis)

Fig. 4

- (a) band gap (y-axis)
- (b) lattice mismatch (x-axis)

Fig. 5

- (a) temperature (y-axis)
- (b) lattice constant (x-axis)
- (c) [illegible] (in graph)

Fig. 6

- (c) optical fiber (text to right of fig.)
- (d) P-Si substrate (text beneath fig)
- (c) optical fiber (text above fig)
- (d) P-Si substrate (text beneath fig)

Fig. 8

(left to right)

- (a) p-type electrode portion
- (b) photoreceptor portion
- (c) p-type electrode portion

continued from front page

	Identification	JPO		Tech. Class.
(51) <u>Int. Cl.</u> ⁵	<u>Symbol</u>	<u>File No.</u>	<u>F I</u>	Field
H01S 3/18				

格子不整合度とバンドギャップの関係。

【図5】Si及びGaAsにおける格子定数と温度の関係。

【図6】本発明の実施例2におけるMOCの断面図。

【図7】本発明の実施例3における面発光レーザダイオードの断面図。

【図8】本発明の実施例4におけるアバランシェフォトダイオードの断面図。

【図9】本発明の実施例5における面発光レーザダイオードの断面図。

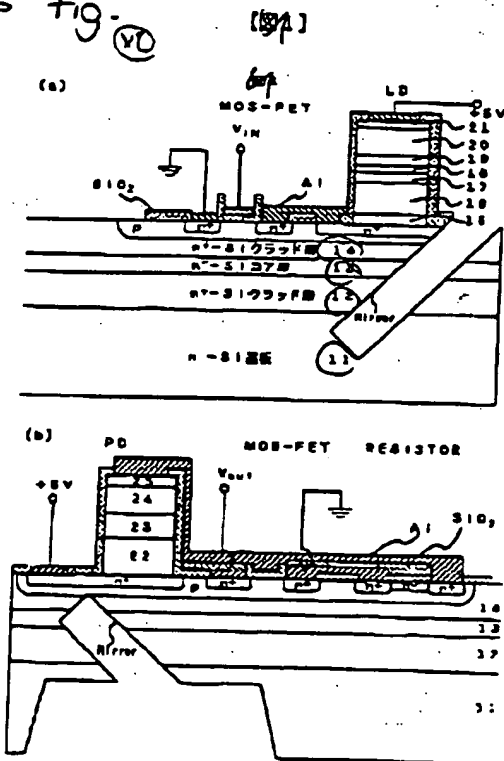
【図10】本発明の実施例6における発光ダイオードの断面図。

【符号の説明】

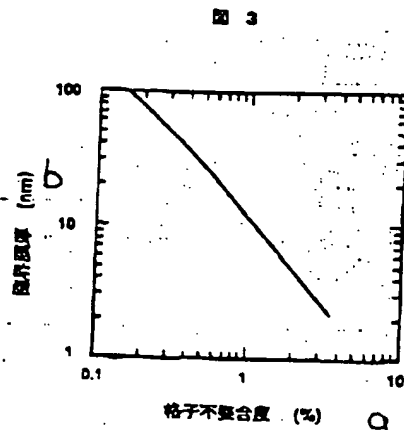
11...n型Si基板、12...Siクラッド層、13...Siコア層、14...Siクラッド層、15...n型GaAs(0.03)P(0.97)バッファ層、16...n型半導体多層膜ミラー、17...n型GaAs(0.03)P(0.97)クラッド層、18...2nmのGaAs(0.07)P(0.93)と1nmのGaAs(0.10)As(0.90)を交互に積層した応力補償型超格子

活性層、19...p型GaAs(0.03)P(0.97)クラッド層、20...p型半導体多層膜ミラー、21...半金属GaAs(0.19)As(0.81)コンタクト層、22...n型GaAs(0.03)P(0.97)層、23...2nmのGaAs(0.14)P(0.86)と2nmのGaAs(0.10)As(0.90)を交互に積層したノンドープ応力補償型超格子層、24...p型GaAs(0.03)P(0.97)層、25...半金属GaAs(0.19)As(0.81)コンタクト層、41...p型GaAs(0.03)P(0.97)バッファ層、42...p型AlN(0.04)P(0.96)クラッド層、43...p型AlGaNPガイド層、44...10nmのGaAs(0.03)P(0.97)バリア層と1.5nmのGaAs(0.10)As(0.90)ウェル層を2.5周期交互に積層した応力補償していないノンドープ量子井戸活性層、45...n型AlGaNPガイド層、46...n型AlN(0.04)P(0.96)クラッド層、47...Siコンタクト層、48...p型GaPバッファ層、49...p型GaAs(0.03)P(0.97)バッファ層、50...2nmのGaAs(0.07)P(0.93)と1nmのGaAs(0.10)As(0.90)を交互に積層したn型応力補償型超格子光吸収層、51...n型Si電解緩和層、52...n型Si増倍層、53...p型Siキャップ層、54...n型Siコンタクト層。

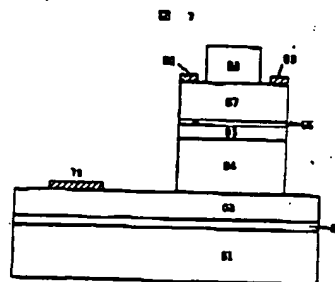
Fin.
for all
figs.



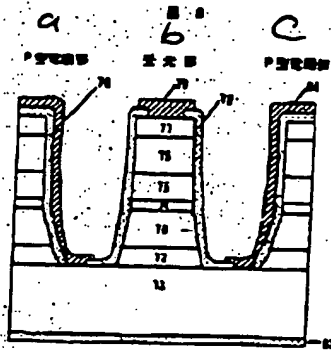
【図3】



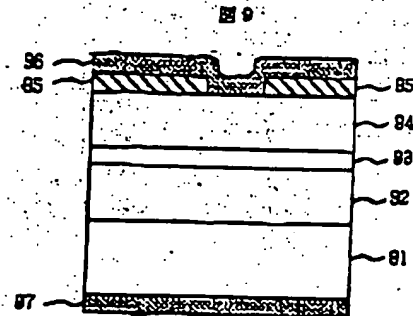
【図7】



【図8】

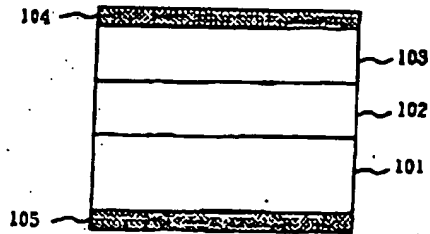


【図9】



【図10】

図10



フロントページの続き

(51) Int. Cl.

H01S 3/18

識別記号

片内整理番号

F I

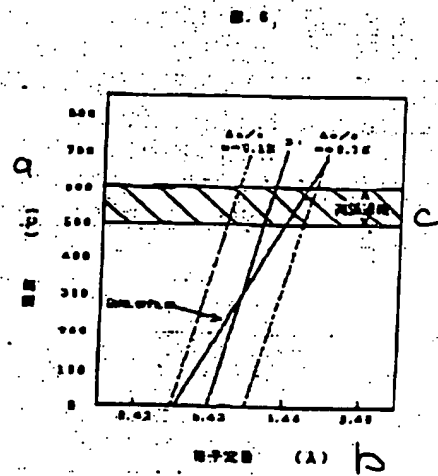
技術表示箇所

【図2】

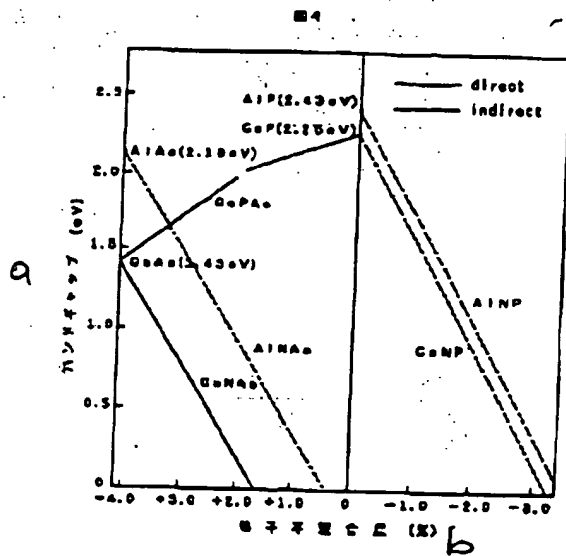
図 2

高屈折率材料	低屈折率材料
GaP	AlP
GaN(0.03)P(0.97)	AlN(0.04)P(0.96)
GaP	AlN(0.07)P(0.93)
GaN(0.07)P(0.93)	AlP
GaP/GaN(0.04)P(0.96) 超格子 C	AlP/AlN(0.08)P(0.94) 超格子 D
Si	AlN(0.04)P(0.96)
Si	AlP
Si	ZnS

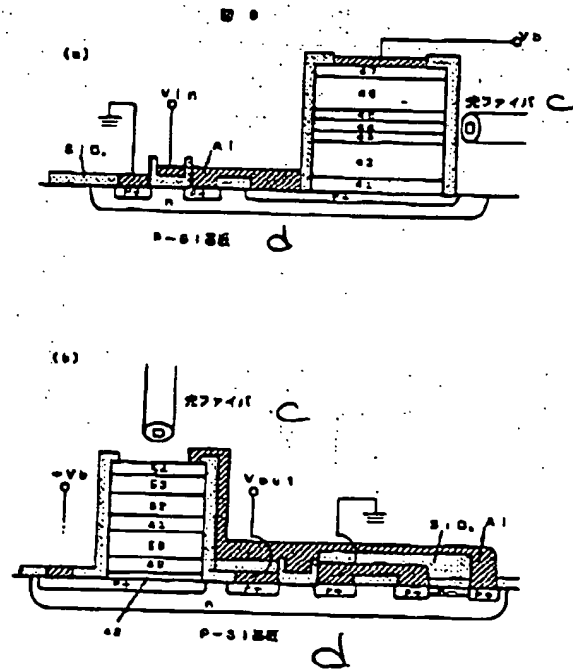
【図5】



【図4】



【図6】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334168

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/15		B 8934-4M		
29/91				
33/00		Z 7376-4M		
		A 7376-4M		

H 0 1 L 29/ 91

F

審査請求 未請求 請求項の数24 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平5-141750

(22) 出願日 平成5年(1993)6月14日

(31) 優先権主張番号 特願平5-67885

(32) 優先日 平5(1993)3月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 近藤 正彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 魚見 和久

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中村 均

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

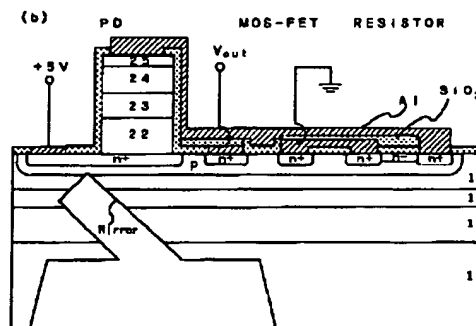
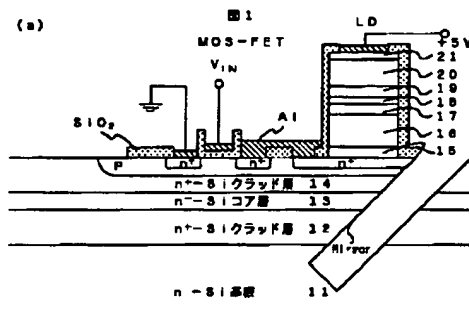
(54) 【発明の名称】 半導体素子

(57) 【要約】

【目的】 本発明の目的は、Si基板上にIII-V族混晶半導体をエピタキシャル成長させてSi電子素子とモノリシックに集積しうる光半導体素子を提供する事である。

【構成】 Si基板結晶の上に、クラッド層が格子整合するGaNP、活性層がGaNP/GaNAs応力補償型超格子よりなるレーザダイオードとSi-MOS-FETが集積されている。また、同基板結晶上には、GaNP/GaNAs応力補償型超格子光吸収層を有するpinフォトダイオードとSi-MOS-FETも集積されている。これらの光半導体素子はSi基板結晶中に設けられた光導波路により結合されている。

【効果】 本発明によれば、Si基板上にIII-V族混晶半導体をミスフィット転位を発生させる事なくエピタキシャル成長させる事が可能となり、Si電子素子とモノリシックに集積しうる半導体素子を提供する事ができ、OEICへ応用できる。



【特許請求の範囲】

【請求項1】 N系混晶半導体 $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 < x < 1, 0 \leq y < 1, 0 \leq z < 1$)を用いた半導体素子において、半導体素子を構成する複数の半導体層の格子歪がミスフィット転位が発生する臨界歪量以内である事を特徴とする半導体素子。

【請求項2】 上記半導体層の格子歪が $\pm 4\%$ 以内である事を特徴とする請求項1記載の半導体素子。

【請求項3】 圧縮歪を有する層と引っ張り歪を有する層を積層して応力を補償した層を用いた半導体素子において引っ張り歪を有する層の材料としてN系混晶半導体 $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 < x < 1, 0 \leq y < 1, 0 \leq z < 1$)を用いる事を特徴とする半導体素子。

【請求項4】 上記半導体素子がSi結晶上にエピタキシャル成長している事を特徴とする請求項1乃至3のいずれかに記載の半導体素子。

【請求項5】 半導体素子を構成する複数の半導体層のSiとの格子不整合度が作成プロセスの全温度領域においてミスフィット転位が発生する臨界歪量以内である事を特徴とする請求項4記載の半導体素子。

【請求項6】 $0.1 \mu\text{m}$ 以上の膜厚を有する複数の半導体層のSiとの格子不整合度が作成プロセスの全温度領域において $\pm 0.1\%$ 以内である事を特徴とする請求項4記載の半導体素子。

【請求項7】 上記半導体素子がGaPまたはAlP結晶上にエピタキシャル成長している事を特徴とする請求項記載1乃至3のいずれかに記載の半導体素子。

【請求項8】 上記半導体素子がレーザダイオードである事を特徴とする請求項1乃至3のいずれかに記載の半導体素子。

【請求項9】 圧縮歪を有する層と引っ張り歪を有する層を積層して応力を補償した層を上記レーザダイオードの活性層に用いている事を特徴とする請求項8記載の半導体素子。

【請求項10】 上記レーザダイオードのクラッド層又はガイド層の材料に $\text{Al}(a)\text{Ga}(1-a)\text{N}(x)\text{P}(1-x)$ ($0 \leq a \leq 1, 0 \leq x \leq 1$)が用いられている事を特徴とする請求項8記載の半導体素子。

【請求項11】 上記レーザダイオードが面発光型であり、多層膜ミラーの材料にGaP、AlP、GaNP、AlNP、Si、又はZnS等のII-VI族半導体の内少なくとも1つを用いている事を特徴とする請求項8記載の半導体素子。

【請求項12】 上記レーザダイオードのクラッド層又はガイド層の材料にSiが用いられている事を特徴とする請求項8記載の半導体素子。

【請求項13】 上記半導体素子がフォトダイオードである事を特徴とする請求項1乃至7のいずれかに記載の半導体素子。

【請求項14】 上記フォトダイオードの光吸収層の材料にN系混晶半導体 $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 < x < 1, 0 \leq y < 1, 0 \leq z < 1$)が用いられている事を特徴とする請求項13記載の半導体素子。

【請求項15】 圧縮歪を有する層と引っ張り歪を有する層を積層して応力を補償した層を上記フォトダイオードの光吸収層に用いている事を特徴とする請求項13記載の半導体素子。

【請求項16】 上記フォトダイオードが雪崩増倍型であり増倍層の材料にSiが用いられている事を特徴とする請求項13記載の半導体素子。

【請求項17】 上記半導体素子がSi電子素子と集積されている事を特徴とする請求項5乃至6記載の半導体素子。

【請求項18】 上記半導体素子が光半導体素子である事を特徴とする請求項17記載の半導体素子。

【請求項19】 上記光半導体素子において用いる光の波長がSiに対して透明な事を特徴とする請求項18記載の半導体素子。

【請求項20】 光電子集積回路に用いられる光半導体素子において、光回路が基板中に作成されている事を特徴とする半導体素子。

【請求項21】 電極コンタクト層の材料に 0.5eV 以下の狭バンドギャップ又は半金属のN系混晶半導体が用いられている事を特徴とする半導体素子。

【請求項22】 Si、GaP、AlP基板上に作成された化合物半導体光半導体素子において、電極コンタクト層にSiが用いられている事を特徴とする半導体素子。

【請求項23】 N系混晶半導体 $\text{Al}(a)\text{Ga}(b)\text{In}(1-a-b)\text{N}(x)\text{P}(y)\text{As}(z)\text{Sb}(1-x-y-z)$ ($0 \leq a \leq 1, 0 \leq b \leq 1, 0 < x < 1, 0 \leq y < 1, 0 \leq z < 1$)を用いた半導体素子において、 AlGaInNPAsSb が 10^{-2} (‘は上付きを表し、 10^{-2} は10の-2乗を意味する。以下同様) Torr以下の高真空中でNの原料として活性化窒素を用いエピタキシャル成長されている事を特徴とする半導体素子。

【請求項24】 N系混晶半導体 AlGaInNPAsSb を用いた半導体素子において AlGaInNPAsSb の不純物としてC、Be、Si、Snが用いられている事を特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子に係わり、特にSi電子素子と集積しうる光半導体素子に関する。

【0002】

【従来の技術】 半導体技術は、Siを中心に今日まで発展してきている。トランジスタからIC(Integrated Circuit)、VLSI(Very Large Scale Integrated-circuit)へと集積規模は増大してきており、今後も集積規模の増大は続いて行くと思われる。しかし、集積規模の増大に伴い、電気信号の配線遅延により動作速度が制限される事

が危惧され始めた。その対策として、光による信号接続が注目されており、これを実現するための重要な基盤技術としてSi電子素子とIII-V族化合物半導体光素子のモノリシック集積が位置づけられている。

【0003】Si基板上にIII-V族化合物半導体光素子を作成する手段として主に次の2つの手段が検討されている。1つは、Si基板上に格子定数の異なるGaAsやInPなどのIII-V族化合物半導体をエピタキシャル成長させてその上にAlGaAs系やInGaAsP系の光半導体素子を作成する所謂スーパーヘテロエピタキシャル法である。(例えば、Ed.H.C.Choi, R.Hull, H.Ishikawa and R.J.Nemani ch, "Heteroepitaxy on Silicon: Fundamentals, Structure and Devices", Mater. Res. Soc. Pro. Vol.116(Mater. Res. Soc., Pittsburgh, 1988)) もう1つは、GaAsやInP基板上に予め作成された光半導体素子をSi基板上に張り合わせる直接接合法である。(Y.H.Lo, R.Bhat, D.M.Hwang, C.Chua and C.-H.Lin, Appl. Phys. Lett. Vol. 62 pp.1038-1040, 1993)

今日までIII-V族化合物半導体光素子の材料としては、例えば H.C.Cssey, Jr. and M.B. Panish, "Heterostructure Lasers Part B" (Academic Press, New York, 1978) pp. 8-9に書かれているようにIII族原子がAl, Ga, In, V族原子がP, As, Sbから成る2元化合物半導体及びそれらより成る混晶半導体が長らく用いられてきたが、結晶成長方法の進歩にともなう近年になってGaNP(J. N. Baillargeon, K.Y.Cheng, G.E.Hofler, P.J. Pearch, and K.C.Hsieh, Appl. Phys. Lett. Vol. 60 pp. 2540-2542, 1992)やGaAs(M.Weyers, M. Sao and H.Ando, Jpn. J. Appl. Phys. Vol. 31 pp. L853-L855, 1992)のN系混晶半導体で作成できる様になり材料選択の幅が広がった。また、Si基板上にN系混晶半導体をエピタキシャル成長させる例が特開平1-211912号公報に示されている。実際にN系混晶半導体をレーザダイオード等の半導体素子に応用する場合にはバンドギャップの大きさや格子歪の量を計算して多層構造を設計及び作成しなければならぬが、後述する様にN系混晶半導体はNの極めて大きな電気陰性度為にバンドギャップに非常に大きなボーイングが生じ多層構造のバンドギャップを設計する場合には従来の混晶半導体には無い特別な配慮が必要となる。しかしながら、上記N系混晶半導体の成長例では基板結晶上に単層のエピタキシャル層が形成されているだけであり、多層構造を作成し半導体素子に応用された例は未だない。

【0004】

【発明が解決しようとする課題】上記スーパーヘテロエピタキシャル法と直接接合法では、両方とも光半導体素子を構成する材料の格子定数がSiの格子定数と大きく(4%以上)異なる為に、SiとIII-V族化合物半導体の界面付近の結晶にミスフィット転位が発生すると言う問題がある。また、SiとIII-V族化合物半導体の熱膨張係数の

違いから、エピタキシャル成長あるいは張り合わせの高温過程後の冷却過程において発生した転位が移動、増殖すると言う問題も有る。この為、作成された光半導体素子の特性並びに素子寿命に問題が有り、Si電子素子とIII-V族化合物半導体光素子のモノリシック集積は未だ実用化されていない。

【0005】本発明の目的は、Si基板上にIII-V族混晶半導体をエピタキシャル成長させてSi電子素子とモノリシックに集積しうる光半導体素子を提供する事である。

10 【0006】

【課題を解決するための手段】上記目的は、光半導体素子を構成する各半導体層の格子歪を作成プロセスの全温度領域においてミスフィット転位が発生する臨界歪量以内に収める事により達成される。歪層のトータル膜厚が臨界膜厚を超える場合には応力補償を行い、引っ張り歪を有する層の材料としてはN系混晶半導体AlGaInNPAsSbを用いれば良い。AlGaInNPAsSb歪層の膜厚は作成上の難しさから2nm以上が望ましく、格子不整合度は臨界膜厚の関係より±4%以内が望ましい。例えばGaN(x)As(1-x) 20 の場合は混晶組成xの範囲は、0.02 < x < 0.36となる。

【0007】以下に、光電子集積回路(Optoelectronic Integrated Circuit: OEIC)を構成する部品の作成手段を示す。

【0008】発光素子がレーザダイオード(Laser Diode: LD)の場合、活性層には直接遷移型のN系混晶半導体AlGaInNPAsSbの歪層を用いる。歪層のトータル膜厚を臨界膜厚を超えて成長させる場合には、圧縮歪を有する層の上に引っ張り歪を有する層を積層して、あるいは引っ張り歪を有する層の上に圧縮歪を有する層を積層して応力を補償する。キャリアの注入効率を高める為には活性層にAl(a)Ga(1-a)N(x)P(1-x) (0 ≤ a ≤ 1, 0 ≤ x ≤ 1)やSi 30 等で成るガイド層を隣接させれば良い。発振波長がSiのバンドギャップよりも長波長である場合にはクラッド層やガイド層の材料にSiを用いる事ができる。また、レーザダイオードが面発光型である場合には高品質の多層膜ミラーの材料として図2に示す様にGaP, AlP, GaNP, AlNP, Si, 又はZnS等のII-VI族半導体を用いる。

【0009】受光素子がフォトダイオード(Photo-Diode: PD)の場合、バンドギャップを下げ受光波長領域を拡げる為に光吸収層の材料にN系混晶半導体AlGaInNPAsSbを用いると良い。また、フォトダイオードがアバランシェフォトダイオードである場合には電子と正孔の電離係数の差が大きいSiを増倍層の材料に用いると良い。

【0010】電極コンタクト層には、0.5eV以下の狭バンドギャップ又は半金属のN系混晶半導体AlGaInNPAsSbを用いると良質のオーミック性電極を作成できる。尚、N系混晶半導体電極コンタクト層は光素子のみならず電子素子にも広く応用される。電極コンタクト層には単結晶、多結晶の形を問わずSiも用いられる。光半導体素子 50 において用いる光の波長がSiに対して透明な場合はSiは

透明電極となる。

【0011】これらのN系混晶半導体AlGaInNPAsSbは、10⁻²Torr以下の高真空中でNの原料として活性化窒素を用いて、ミスフィット転位を発生させないでエピタキシャル成長する事により良質な結晶として得られる。AlGaInNPAsSbのp型不純物としてはC、Be、n型不純物としてはSi、Snが用いられる。

【0012】光電子集積回路に用いられる光半導体素子において用いる光の波長がSiに対して透明な場合、Siを用いて光回路を作成でき、Si基板中にも作成できる。光回路は層構造で作成でき、クロック信号の様に多点に信号を送る場合は層構造の面内に導波路を形成しなければ良い。

【0013】

【作用】光半導体素子の材料の格子定数がSiの格子定数と大きく異なる為に転位が発生すると言う問題には、光半導体素子を構成する半導体層の膜厚をミスフィット転位が発生しない臨界膜厚以内に抑ええる事で解決される。図3にMatthewsの理論により計算された格子不整合度と臨界膜厚の関係を示す。同図より、1%の格子不整合度を有する層で10nm、4%の格子不整合度を有する層で2nmの臨界膜厚となる事が分かる。例えば、GaAsはSiと約4%の格子不整合度があるので臨界膜厚は2nmとなり2nm以上の厚い層を転位を発生させずに成長する事は出来ない。また、従来のIII族原子がAl、Ga、In、V族原子がP、As、Sbから成る混晶半導体で直接遷移型のもので格子定数がSiに最も近いものはGaAs(0.5)P(0.5)であるが、格子不整合度が2%あり4nmの臨界膜厚となる事が分かる。歪層のトータル膜厚を臨界膜厚を超えて成長させる場合には、圧縮歪を有する層の上に引っ張り歪を有する層を積層して応力を補償しトータル歪を臨界歪以内に収めれば良い事が知られている。しかし、従来のIII族原子がAl、Ga、In、V族原子がP、As、Sbから成る混晶半導体はすべてSiより格子定数が大きいのので引っ張り歪を有する層を作成する事が出来ない。近年作成可能になったN系混晶半導体AlGaInNPAsSbは混晶組成を選ぶ事によりSiよりも小さな格子定数を有するので、引っ張り歪の層としてこれを用いれば応力補償が可能となる。応力を補償しトータル歪を0とした超格子層はSi基板と実質的に格子整合するのでミスフィット転位が発生しない。

【0014】N系混晶半導体はNの極めて大きな電気陰性度為にバンドギャップに大きなボーイングが生じる。例えば、GaAs及びGaPのNを加えて行くとそれらのバンドギャップは従来の混晶半導体の様にGaNの3.4 eVへ向かって大きくなるのではなくて逆に小さくなっていく。Siと格子整合するGaN(0.19)As(0.81)はバンドギャップが0となり半金属となる。図4にGaNP、AlNP、AINP及びGaPASのSi基板との格子不整合度とバンドギャップの関係を示す。例えば、1nmの格子不整合度が+3%のGaP(0.25)As(0.75)と5nmの格子不整合度が-0.6%のAlN(0.05)P

(0.95)を交互に積層して超格子層を作成すると、トータル歪が0となりバンドギャップは実効的に2.0eVとなる。また、3nmの格子不整合度が+2%のGaN(0.1)As(0.9)と3nmの格子不整合度が-2%のGaN(0.14)P(0.86)を交互に積層してトータル歪を0とした超格子層は実効的に0.5eVのバンドギャップを持つ。この様に、超格子を構成する半導体の種類を選ぶ事によりトータル歪を0としたままバンドギャップを2から0eVの範囲で自由に設計できる。尚、上記説明では基板結晶にSiを用いたが、Siとほぼ格子定数が等しいGaP或いはAlP基板結晶を用いても同様に応力を補償しトータル歪を0とした超格子層を作成できる。

【0015】次に、SiとIII-V族化合物半導体の熱膨張係数の違いについて考える。Siの熱膨張係数は $2.6 \times 10^{-6}/^{\circ}\text{C}$ 、GaAsの熱膨張係数は $6.0 \times 10^{-6}/^{\circ}\text{C}$ なので630℃の高温過程から30℃の室温まで冷却すると0.2%の熱歪が生じる。図3より臨界膜厚は80nmと見積られる。Matthewsの理論では格子不整合度が小さい場合に臨界膜厚を小さく見積る傾向があるが、それでもこの熱歪は数μm厚の素子を作成するには問題となる。0.1μm以上の膜厚を有する層を成長する場合には格子不整合度を±0.1%以内に収めれば転位がほとんど発生しない。その為には図5に示す様に層の組成をSiと格子整合出来るように選び、格子整合する温度を室温と高温プロセスの間に設定すればよい。尚、ここで言う0.1μm以上の膜厚を有する層とは、単一の組成でなっている層でも、先に述べた応力を補償しトータル歪を0とした超格子層のどちらでも良い。

【0016】

【実施例】(実施例1)本実施例では、MOS-FET(Metal-Oxide-Semiconductor Field-Effect-Transistor)等のSi電子素子を1万素子、III-V族混晶半導体の面発光レーザダイオードを100素子、III-V族混晶半導体のpinフォトダイオードを100素子を同一Si基板上に集積し光電子集積回路OEICを作成した。図1にOEICの構造断面図を示す。図1(a)はMOS-FETと集積した面発光レーザダイオードの部分、図1(b)はMOS-FET及びRESISTORと集積したpinフォトダイオードの部分である。本OEICでは、電気回路がSi基板上表面に光回路がSi基板中に作成されており、電気回路と光回路が空間的に分離されている。電気回路と光回路が空間的に分離される事により電気配線と光配線を独立に行えるので配線の自由度が大きい。

【0017】ここで、本OEICの作成方法を説明する。まず、光回路の作成方法について述べる。図1において、11はn型(111)Si基板であり、その上に導波路のクラッド層となるn型Si層12 ($n=1 \times 10^{18} \text{cm}^{-3}$, $d=1 \mu\text{m}$)、コア層となるn型Si層13 ($n=1 \times 10^{17} \text{cm}^{-3}$, $d=1 \mu\text{m}$)をエピタキシャル成長させる。コア層の面内での導波路を作成する為にコア部となる領域の両側に $n=1 \times 10^{18} \text{cm}^{-3}$ となる様にPをイオン注入しクラッド部を作成する。面内

での導波路を形成した後にn型Si層13 ($n=1 \times 10^{18} \text{cm}^{-3}$, $d=3 \mu\text{m}$)を再成長させ3次元の導波路が出来上がる。尚、クロック信号の様に多点に信号を送る場合はコア層面に導波路を形成しなければ良い。また、本実施例ではコア層が1段で有るが多段にする事もでき光回路を自由に作成できる。

【0018】次に電子素子を作成する準備として、導波路を作成したSi基板にイオン注入を行う。図1で示す様にアイソレーションの為にBを注入して高比抵抗のp型領域を作成し、Pをイオン注入してn型のIII-V族光半導体素子のコンタクト層、MOS-FETのソース及びドレイン電極、抵抗等を形成する。

【0019】次に、III-V族光半導体素子部を選択成長により形成する。まず、面発光レーザダイオードについて述べる。面発光レーザダイオードの直径は $5 \mu\text{m}$ である。図1(a)において、15はn型Ga N (0.03)P(0.97)バッファ層 ($n=1 \times 10^{18} \text{cm}^{-3}$, $d=0.1 \mu\text{m}$)、16はn型半導体多層膜ミラー ($n=1 \times 10^{18} \text{cm}^{-3}$)、17はn型Ga N (0.03)P(0.97)クラッド層 ($n=1 \times 10^{18} \text{cm}^{-3}$)、18はノンドープ活性層、19はp型Ga N (0.03)P(0.97)クラッド層 ($p=1 \times 10^{18} \text{cm}^{-3}$)、20はp型半導体多層膜ミラー ($p=1 \times 10^{19} \text{cm}^{-3}$)、21は半金属Ga N (0.19)As(0.81)コンタクト層 ($d=0.1 \mu\text{m}$)である。活性層にはバンドギャップを2から0eVの範囲で自由に設定できる応力補償型超格子層を用いられるが、光回路の材料であるSi($E_g=1.1\text{eV}$)が透明でなければならないので本実施例では実効的に0.8eV(波長:1.55 μm)のバンドギャップを持つ2nmの格子不整合度が $\sim 1\%$ のGa N (0.07)P(0.93)と1nmの格子不整合度が $+2\%$ のGa N (0.10)As(0.90)を交互に積層した応力補償型超格子層を用いた。その厚さは半導体中で凡そ1/4波長となる様に33周期積層し $d=100\text{nm}$ とした。また、1波長共振器を実現するためミラー間が1波長となる様のクラッド層の厚さを両側とも半導体中で3/8波長とした。半導体多層膜ミラーは、半導体中で1/4波長厚さの高屈折率Ga N (0.03)P(0.97)層と半導体中で1/4波長厚さの低屈折率AlN(0.04)P(0.96)層を交互に積層して構成される。反射率を99%以上にする為にミラー層の積層回数は20回とした。ミラー層は高屈折率層と低屈折率層が交互に積層されていれば良いので例えば図2に示される材料を用いても良い。尚、p型ミラー層は抵抗率を下げるために $p=1 \times 10^{19} \text{cm}^{-3}$ と高濃度ドーピングを行っている。次に、pinフォトダイオードについて述べる。pinフォトダイオードの直径は $5 \mu\text{m}$ である。図1(b)において、22はn型Ga N (0.03)P(0.97)層 ($n=2 \times 10^{18} \text{cm}^{-3}$, $d=1.0 \mu\text{m}$)、23は実効的に0.5eVのバンドギャップを持つ2nmの格子不整合度が $\sim 2\%$ のGa N (0.14)P(0.86)と2nmの格子不整合度が $\sim 2\%$ のGa N (0.10)As(0.90)を交互に積層したノンドープ応力補償型超格子層 ($n=1 \times 10^{18} \text{cm}^{-3}$, $d=0.5 \mu\text{m}$)、24はp型Ga N (0.03)P(0.97)層 ($p=2 \times 10^{18} \text{cm}^{-3}$, $d=1.0 \mu\text{m}$)、25は半金属Al(0.50)Ga(0.50)N(0.19)As(0.81)コ

ンタクト層 ($d=0.1 \mu\text{m}$)である。発光レーザダイオード及びpinフォトダイオードを構成する層は、ガスソース分子線エピタキシー装置を用いて連続して $1 \times 10^{-6} \text{Torr}$ の高真空中で結晶成長させた。Siの成長では原料には多結晶Siを、n型ドーパントの原料にSbを用いた。III-V族半導体層の成長では、III族の原料には金属を、P及びAsの原料にはフォスフィン及びアルシンを、そしてNの原料には窒素分子をrfプラズマにより活性化したNを用いた。n型ドーパント、p型ドーパントの原料にはそれぞれSiとC(ネオペンタン)を用いた。成長温度は 500°C で行われ、応力補償型超格子層及び単一組成で成る層はすべて 300°C でSiと格子整合するように設計されている。その結果、作成プロセスの全温度領域においてSiとの格子整合を0.1%以内に保てる。

【0020】こうしてIII-V族光半導体素子を作成したSiウエハに、III-V族光半導体素子の表面保護及びMOS-FETのゲート用のSiO $_2$ 酸化膜を形成する。次に、作成された光半導体素子と電子素子にAl及びSiO $_2$ を用いて多層配線を行い電気回路を作成する。

【0021】最後に、光回路にミラーを作成するためにハロゲン系反応性イオンビームで 45° 方向から溝を作成してOEICが完成する。この溝は基板表面からでも裏面からでも作成しやすい方向から作成すれば良い。

【0022】次に、このOEICの動作原理を説明する。レーザダイオード駆動用MOS-FETのゲート電極に電圧が印加されると面発光レーザダイオードに電流が注入され、レーザ発振する。レーザ光はSi基板内に放射され、 45° ミラーで全反射されて導波路に導かれる。導波されたレーザ光は 45° ミラーで再び全反射されてフォトダイオードに導かれる。検出されたレーザ光はフォトダイオードで電流の変換され、この電流がRESISTORで電圧に変換されさらにこの電圧がMOS-FETで増幅され、最終的にソース電極に出力される。

【0023】(実施例2)図6に本発明を適用したOEICの構造断面図を示す。Si-MOS FETと端面発光レーザダイオードが集積された発光部図6(a)とSi-MOS FET及びRESISTORとアバランシェフォトダイオードが集積された受光部図6(b)が異なる基板結晶の上に作成されている。光ファイバにより接続され、ICチップ間での信号伝送等に利用される。まず、作成方法について説明する。電子素子を作成する準備として、p型(511)Si基板にイオン注入を行う。図6に示す様にアイソレーションの為にPを注入して高比抵抗のn型領域を作成し、Bをイオン注入してP型のIII-V族光半導体素子のコンタクト層、MOS-FETのソース及びドレイン電極、抵抗等を形成する。次に、III-V族光半導体素子部を選択成長により形成する。初めに、端面発光レーザダイオードの構造について述べる。図6(a)において、41はp型Ga N (0.03)P(0.97)バッファ層 ($p=1 \times 10^{18} \text{cm}^{-3}$, $d=0.1 \mu\text{m}$)、42及び46はそれぞれp型及びn型のAlN(0.04)P(0.96)クラッド層 ($p, n=1 \times 10^{18} \text{cm}^{-3}$)、43はn型Ga N (0.03)P(0.97)クラッド層 ($n=1 \times 10^{18} \text{cm}^{-3}$)、44はノンドープ活性層、45はp型Ga N (0.03)P(0.97)クラッド層 ($p=1 \times 10^{18} \text{cm}^{-3}$)、47は半金属Ga N (0.19)As(0.81)コンタクト層 ($d=0.1 \mu\text{m}$)である。活性層にはバンドギャップを2から0eVの範囲で自由に設定できる応力補償型超格子層を用いられるが、光回路の材料であるSi($E_g=1.1\text{eV}$)が透明でなければならないので本実施例では実効的に0.8eV(波長:1.55 μm)のバンドギャップを持つ2nmの格子不整合度が $\sim 1\%$ のGa N (0.07)P(0.93)と1nmの格子不整合度が $+2\%$ のGa N (0.10)As(0.90)を交互に積層した応力補償型超格子層を用いた。その厚さは半導体中で凡そ1/4波長となる様に33周期積層し $d=100\text{nm}$ とした。また、1波長共振器を実現するためミラー間が1波長となる様のクラッド層の厚さを両側とも半導体中で3/8波長とした。半導体多層膜ミラーは、半導体中で1/4波長厚さの高屈折率Ga N (0.03)P(0.97)層と半導体中で1/4波長厚さの低屈折率AlN(0.04)P(0.96)層を交互に積層して構成される。反射率を99%以上にする為にミラー層の積層回数は20回とした。ミラー層は高屈折率層と低屈折率層が交互に積層されていれば良いので例えば図2に示される材料を用いても良い。尚、p型ミラー層は抵抗率を下げるために $p=1 \times 10^{19} \text{cm}^{-3}$ と高濃度ドーピングを行っている。次に、pinフォトダイオードについて述べる。pinフォトダイオードの直径は $5 \mu\text{m}$ である。図6(b)において、22はn型Ga N (0.03)P(0.97)層 ($n=2 \times 10^{18} \text{cm}^{-3}$, $d=1.0 \mu\text{m}$)、23は実効的に0.5eVのバンドギャップを持つ2nmの格子不整合度が $\sim 2\%$ のGa N (0.14)P(0.86)と2nmの格子不整合度が $\sim 2\%$ のGa N (0.10)As(0.90)を交互に積層したノンドープ応力補償型超格子層 ($n=1 \times 10^{18} \text{cm}^{-3}$, $d=0.5 \mu\text{m}$)、24はp型Ga N (0.03)P(0.97)層 ($p=2 \times 10^{18} \text{cm}^{-3}$, $d=1.0 \mu\text{m}$)、25は半金属Al(0.50)Ga(0.50)N(0.19)As(0.81)コ

0'18cm⁻³, d=1.0μm)、43及び45はそれぞれp型及びn型のAlGaNPガイド層 (p, n=5×10¹⁷cm⁻³, d=0.03μm) でAl組成を変化させる事によりバンドギャップをバラボリックに変化させた所謂GRIN (Graded-Refractive-Index) 構造となっている。44は10nmの格子不整合度が10%のGa_{0.03}P_{0.97}バリア層と1.5nmの格子不整合度が42%のGa_{0.10}As_{0.90}ウエル層を2.5周期交互に積層した応力補償していないノンドープ歪量子井戸活性層(波長:1.24μm)、47はSiコンタクト層 (n=1×10¹⁹cm⁻³, d=0.1μm)である。共振器を作成するためにハロゲン系反応性イオンビームで垂直方向からエッチングを行いミラーを作成してレーザダイオードが完成する。共振器長は300μmとした。次に、アパランシェフォトダイオードの構造について述べる。アパランシェフォトダイオードの直径は10μmである。図6(b)において、48はp型GaPパッファ層 (p=2×10¹⁸cm⁻³, d=0.01μm)、49はp型Ga_{0.03}P_{0.97}パッファ層 (p=2×10¹⁸cm⁻³, d=1.0μm)、50は実効的に0.8eVのバンドギャップを持つ2nmの格子不整合度が-1%のGa_{0.07}P_{0.93}と1nmの格子不整合度が+2%のGa_{0.10}As_{0.90}を交互に積層したn型応力補償型超格子光吸収層 (p=1×10¹⁵cm⁻³, d=0.3μm)、51はn型Si電解緩和層 (n=2×10¹⁷cm⁻³, d=0.05μm)、52はn型Si増倍層 (n=2×10¹⁵cm⁻³, d=0.1μm)、53はn型Siキャップ層 (n=2×10¹⁸cm⁻³, d=1.0μm)、54はn型Siコンタクト層 (n=2×10¹⁹cm⁻³, d=0.1μm)である。

【0024】レーザダイオード及びpフォトダイオードを構成する層は、化学線エピタキシー装置を用いて1×10⁻⁵ Torrの高真空中で結晶成長させた。Siの成長では原料には多結晶Siを、n型ドーパント、p型ドーパントの原料にはそれぞれSbとBを用いた。III-V族半導体層の成長では、III族の原料にはエチル系有機金属を、P及びAsの原料にはフォスフィン及びアルシンを、そしてNの原料にはアンモニア分子をECRプラズマにより活性化したNを用いた。n型ドーパント、p型ドーパントの原料にはそれぞれSnとBeを用いた。成長温度は400℃で行われ、応力補償型超格子層及び単一組成で成る層はすべて300℃でSiと格子整合するように設計した。こうしてIII-V族光半導体素子を形成したSiウエハに、III-V族光半導体素子の表面保護及びMOS-FETのゲート用のSiO₂酸化膜を形成する。次に、作成された光半導体素子と電子素子にAl及びSiO₂を用いて多層配線を行い電気回路を作成する。

【0025】次に、このOEICの動作原理を説明する。レーザダイオード駆動用MOS-FETのゲート電極に電圧が印加されると面発光レーザダイオードに電流が注入され、レーザ発振する。レーザ光は光ファイバに導入され、導波されたレーザ光はフォトダイオードに導かれる。検出されたレーザ光はフォトダイオードで電流の変換され、この電流がRESISTORで電圧に変換されさらにこの電圧がMOS-FETで増幅され、最終的にソース電極に出力され

る。

【0026】本実施例では発光部と受光部を異なる基板結晶の上に作成しICチップ間での信号伝送に利用したが、本実施例1と同様に光導波路又は光ファイバを用いてICチップ内での信号伝送に利用しても良い。

【0027】(実施例3) 本実施例では、Si基板上に単体の面発光レーザダイオードを作成した。図7に構造断面図を示す。面発光レーザダイオードの直径は10μmである。図7において、61はn型(100)Si基板 (n=1×10¹⁸cm⁻³, d=200μm)、62はn型GaPパッファ層 (n=1×10¹⁸cm⁻³, d=0.01μm)、63はn型Ga_{0.03}P_{0.97}パッファ層 (n=1×10¹⁸cm⁻³, d=0.5μm)、64はn型半導体多層膜ミラー (n=1×10¹⁸cm⁻³)、65はn型Siクラッド層 (n=1×10¹⁸cm⁻³)、66はノンドープ活性層、67はp型Siクラッド層 (p=1×10¹⁸cm⁻³)、68は誘電体多層膜ミラー、69はp型電極、70はn型電極である。活性層には実効的に0.8eV(波長:1.55μm)のバンドギャップを持つ2nmの格子不整合度が-1%のGa_{0.07}P_{0.93}と1nmの格子不整合度が+2%のGa_{0.10}As_{0.90}を交互に積層した応力補償型超格子層を用いた。その厚さは半導体中で凡そ1/4波長となる様に33周期積層しd=100nmとした。n型クラッド層の厚さを半導体中で3/8波長、p型クラッド層の厚さを半導体中で2+3/8波長とし3波長共振器を作成した。p型クラッド層は抵抗率を下げるためにp=2×10¹⁸cm⁻³と高濃度ドーピングを行っている。半導体多層膜ミラーは、半導体中で1/4波長厚の高屈折率Ga_{0.03}P_{0.97}層と半導体中で1/4波長厚の低屈折率AlN_{0.04}P_{0.96}層を交互に積層して作成した。反射率を99%以上にする為にミラー層の積層回数は20回とした。誘電体多層膜ミラーは、誘電体中で1/4波長厚の高屈折率アモルファスSi層と誘電体中で1/4波長厚の低屈折率SiO₂層を交互に積層して構成される。反射率を99%以上にする為にミラー層の積層回数は5回とした。誘電体多層膜ミラーは高屈折率層と低屈折率層が交互に積層されていれば良いので、SiNとSiO₂、アモルファスSiとSiN、或いはTiO₂とSiO₂を用いても良い。半導体層62-67は、ガスソース分子線エピタキシー装置を用いて連続して1×10⁻⁷Torrの高真空中で結晶成長させた。Siの成長では原料には多結晶Siを、n型ドーパント、p型ドーパントの原料にはそれぞれSbとBを用いた。III-V族半導体層の成長では、III族の原料には金属を、P及びAsの原料にはフォスフィン及びアルシンを、そしてNの原料には窒素分子をrfプラズマにより活性化したNを用いた。n型ドーパント、p型ドーパントの原料にはそれぞれSiとC(ネオペンタン)を用いた。成長温度は600℃で行われ、応力補償型超格子層及び単一組成で成る層はすべて300℃でSiと格子整合するように設計されている。その結果、作成プロセスの全温度領域においてSiとの格子整合を0.1%以内に保てる。結晶成長を終えたウエハに誘電体多層膜を堆積する。次に、ハロゲン系反応性イオンビームで垂直方向か

らエッチングを行い図7に示す様に素子を分離する。素子の直径は $10\mu\text{m}$ とした。最後に、p、n型の電極を形成して面発光型レーザーダイオードが完成する。本レーザーダイオードは、ミスフィット転位が発生しないので素子寿命が長いと言う特徴を有する。

【0028】(実施例4) 本実施例では、(100)から[110]方向に5度傾角したSi基板上に単体のアパランシェフォトダイオードを作成した。本素子は検出光が基板結晶の裏面から入射する。図8に構造断面図を示す。図8において、71はn型Si基板 ($n=1\times 10^{18}\text{cm}^{-3}$, $d=200\mu\text{m}$)、72はn型Siバッファ層 ($n=1\times 10^{18}\text{cm}^{-3}$, $d=0.5\mu\text{m}$)、73はp型Si増倍層 ($p=2\times 10^{15}\text{cm}^{-3}$, $d=0.2\mu\text{m}$)、74はp型Si電解緩和層 ($p=2\times 10^{17}\text{cm}^{-3}$, $d=0.1\mu\text{m}$)、75は実効的に0.5eVのバンドギャップを持つ3nmの格子不整合度が+2%のGa_{0.1}N(0.9)と3nmの格子不整合度が-2%のGa_{0.14}N(0.86)を交互に積層したノンドープ応力補償型超格子光吸収層 ($p=2\times 10^{15}\text{cm}^{-3}$, $d=0.3\mu\text{m}$)、76はp型Ga_{0.03}N(0.97)キャップ層 ($p=2\times 10^{18}\text{cm}^{-3}$, $d=1.0\mu\text{m}$)、77はp型Siコンタクト層 ($p=2\times 10^{19}\text{cm}^{-3}$, $d=0.1\mu\text{m}$)、78はポリイミド絶縁保護膜、79はp型電極、80はn型電極、81は無反射膜である。半導体層72-77は、ガスソース分子線エピタキシー装置を用いて連続して $1\times 10^{-7}\text{Torr}$ の高真空中で結晶成長させた。Siの成長では原料には多結晶Siを、n型ドーパント、p型ドーパントの原料にはそれぞれSbとBを用いた。III-V族半導体層の成長では、III族の原料には金属を、P及びAsの原料にはフォスフィン及びアルシンを、そしてNの原料には窒素分子をrfプラズマにより活性化したNを用いた。n型ドーパント、p型ドーパントの原料にはそれぞれSiとC(ネオペンタン)を用いた。成長温度は600℃で行われ、応力補償型超格子層及び単一組成で成る層はすべて300℃でSiと格子整合するように設計されている。その結果、作成プロセスの全温度領域においてSiとの格子整合を0.1%以内に保てる。結晶成長を終えたウエハは直径が50 μm の受光部とn型電極形成部を作成するためにウェットエッチングを行い図8の様に素子を分離する。次に、ポリイミドにより絶縁保護膜を形成し、n型電極、p型電極を蒸着する。最後に、SiNを用いて基板結晶裏面に無反射膜81をコートする。本アパランシェフォトダイオードは、光吸収層のバンドギャップが0.5eVであるので波長が約2.5 μm の長波長光まで検出でき、電子と正孔の電離係数の差が大きいSiを増倍層の材料に用いているので高増倍ができる。また、ミスフィット転位が発生しないので素子寿命も長い。

【0029】(実施例5) 図9に本発明を適用した半導体レーザーの構造断面図を示す。図9において、91はn型(110)Si基板、92はn型GaPクラッド層(1 μm)、93はノンドープGa_{0.1}N(0.9)活性層(50nm)、94はp型GaPクラッド層(1 μm)である。92から94の層は、化学線エピタキシー装置を用いて $1\times 10^{-7}\text{Torr}$ の高真空中で連続

してSi基板91上に結晶成長させた。III族の原料には金属を、P及びAsの原料にはフォスフィン及びアルシンを、そしてNの原料には活性化窒素を用いた。成長を終えたウエハは、シリコン酸化膜による電流狭窄層95、p型電極96、n型電極97を施し、300 μm 角に劈開しチップ化した。この様にして作成した半導体レーザーに電流を注入すると室温において近赤外のレーザー光を発振した。本実施例では、クラッド層としてGaPを用いたが活性層とのバンドギャップ差を大きくするためにAlを加えて、Al(a)Ga(1-a)P ($0\leq a\leq 1$)としても良い。また、このAl(a)Ga(1-a)PにNを加えてAl(a)Ga(1-a)N(x)P(1-x) ($0\leq a\leq 1, 0<x<1$)とし、完全に基板結晶と格子整合させれば更に良い。

【0030】(実施例6) 図10に本発明を適用した発光ダイオードの構造断面図を示す。図10において、101はn型(100)GaP基板、102はn型In_{0.4}N(0.6)層(1 μm)、103はp型In_{0.4}N(0.6)層(1 μm)である。102及び103の層は、化学線エピタキシー装置を用いて $1\times 10^{-3}\text{Torr}$ の高真空中で連続してGaP基板101上に結晶成長させた。III族の原料には有機金属を、P及びAsの原料にはフォスフィン及びアルシンを、そしてNの原料には活性化窒素を用いた。成長を終えたウエハは、p型透明電極104、n型電極105を施した。この様にして作成したダイオードに電流を注入すると室温において赤色の発光が観測できた。

【0031】本実施例の光素子ではレーザーダイオード、フォトダイオード及び発光ダイオードの作成について示したが、本発明が光変調素子などの他の光半導体素子に適用できる事は言うまでもない。電子素子についてもMOS-FET以外の電子素子に適用できる事も言うまでもなく、電気回路についてもSi-ICで実用化されているものが適応出来る。また、本実施例1及び2で示した光素子は電子素子と集積化する事なく単独の素子としても動作する事は言うまでもない。実施例1から5では基板結晶としてSiを用いたが、格子定数のほぼ等しいGaPやAlPも用いる事ができる。また、応力補償型超格子において引っ張り歪を有する層の材料としてはGaNP、AlNP以外にも広くN系混晶半導体AlGaInNPAsSbを用いる事が出来る。

【0032】

【発明の効果】 本発明によれば、Si基板上にIII-V族混晶半導体をミスフィット転位を発生させる事なくエピタキシャル成長させる事が可能となり、Si電子素子とモノリシックに集積しうる半導体素子を提供する事ができ、OEICへ応用できる。

【図面の簡単な説明】

【図1】 本発明の実施例1におけるOEICの断面図。

【図2】 多層膜ミラーの材料。

【図3】 格子不整合度と臨界膜厚の関係。

【図4】 Ga_{0.1}N, GaNP, Al_{0.1}N, AlNP及びGaPASのSi基板との

13

格子不整合度とバンドギャップの関係。

【図5】Si及びGaNPにおける格子定数と温度の関係。

【図6】本発明の実施例2におけるOEICの断面図。

【図7】本発明の実施例3における面発光レーザダイオードの断面図。

【図8】本発明の実施例4におけるアパランシェフォトダイオードの断面図。

【図9】本発明の実施例5における面発光レーザダイオードの断面図。

【図10】本発明の実施例6における発光ダイオードの断面図。

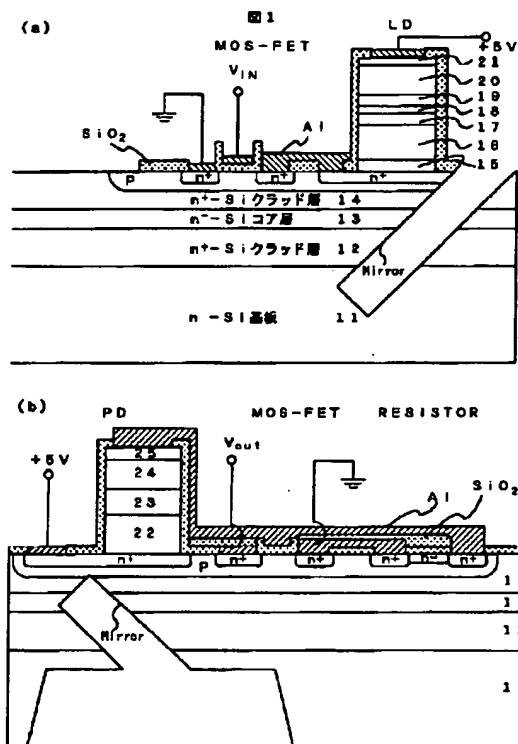
【符号の説明】

11…n型Si基板、12…Siクラッド層、13…Siコア層、14…Siクラッド層、15…n型Ga_N(0.03)P(0.97)バッファ層、16…n型半導体多層膜ミラー、17…n型Ga_N(0.03)P(0.97)クラッド層、18…2nmのGa_N(0.07)P(0.93)と1nmのGa_N(0.10)As(0.90)を交互に積層した応力補償型超格子

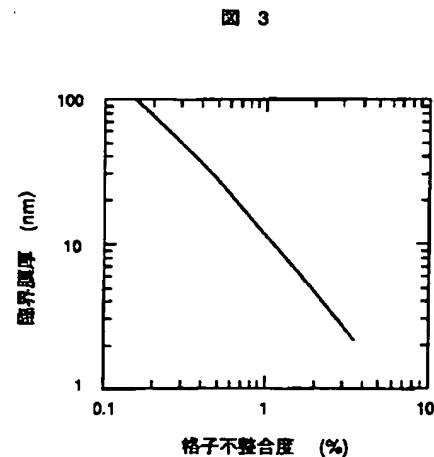
14

活性層、19…p型Ga_N(0.03)P(0.97)クラッド層、20…p型半導体多層膜ミラー、21…半金属Ga_N(0.19)As(0.81)コンタクト層、22…n型Ga_N(0.03)P(0.97)層、23…2nmのGa_N(0.14)P(0.86)と2nmのGa_N(0.10)As(0.90)を交互に積層したノンドープ応力補償型超格子層、24…p型Ga_N(0.03)P(0.97)層、25…半金属Ga_N(0.19)As(0.81)コンタクト層、41…p型Ga_N(0.03)P(0.97)バッファ層、42…p型Al_N(0.04)P(0.96)クラッド層、43…p型AlGaNPガイド層、44…10nmのGa_N(0.03)P(0.97)バリア層と1.5nmのGa_N(0.10)As(0.90)ウエル層を2.5周期交互に積層した応力補償していないノンドープ歪量子井戸活性層、45…n型AlGaNPガイド層、46…n型Al_N(0.04)P(0.96)クラッド層、47…Siコンタクト層、48…p型GaPバッファ層、49…p型Ga_N(0.03)P(0.97)バッファ層、50…2nmのGa_N(0.07)P(0.93)と1nmのGa_N(0.10)As(0.90)を交互に積層したn型応力補償型超格子光吸収層、51…n型Si電解緩和層、52…n型Si増倍層、53…n型Siキャップ層、54…n型Siコンタクト層。

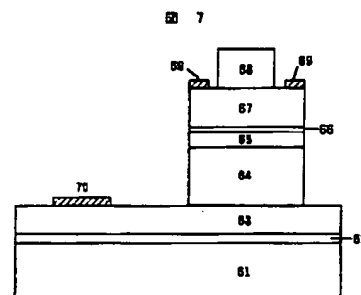
【図1】



【図3】



【図7】



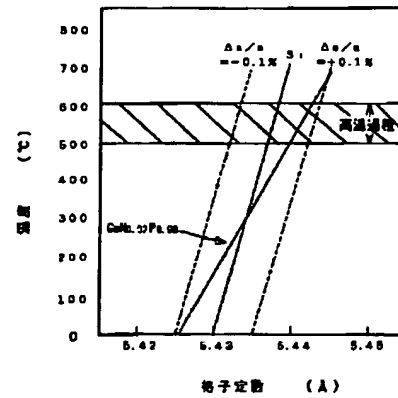
【図2】

図 2

高屈折率材料	低屈折率材料
GaP	AlP
GaN(0.03)P(0.97)	AlN(0.04)P(0.96)
GaP	AlN(0.07)P(0.93)
GaN(0.07)P(0.93)	AlP
GaP/GaN(0.04)P(0.96) 超格子	AlP/AlN(0.08)P(0.94) 超格子
Si	AlN(0.04)P(0.96)
Si	AlP
Si	ZnS

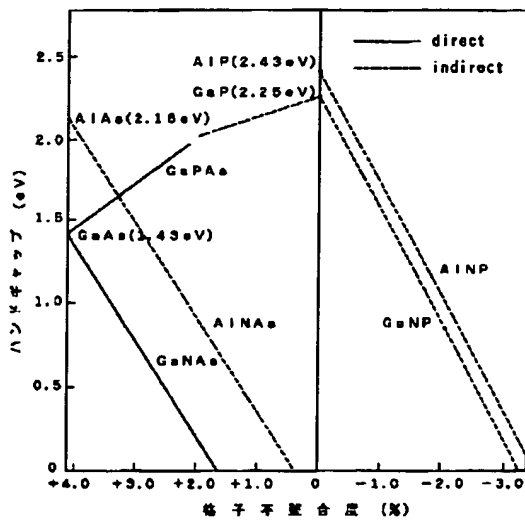
【図5】

図 5



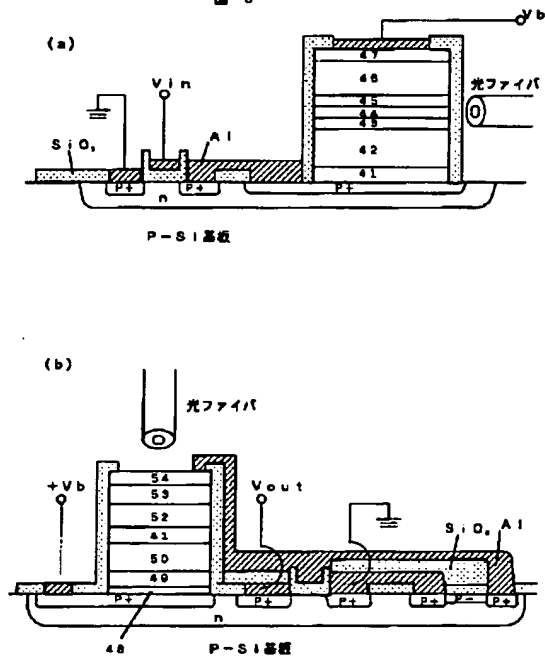
【図4】

図 4



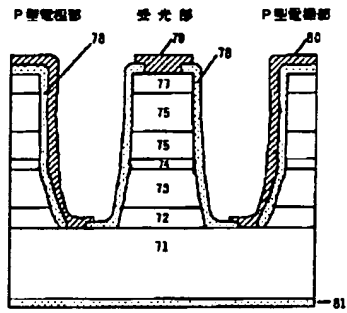
【図6】

図 6



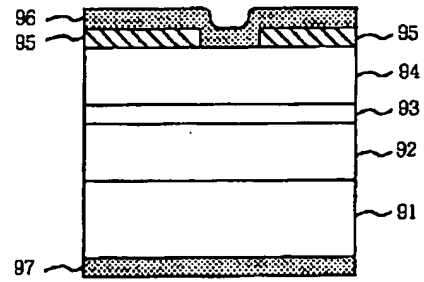
【図8】

図 8



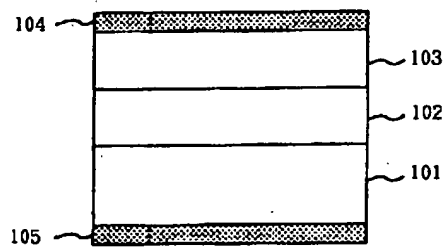
【図9】

図 9



【図10】

図 10



フロントページの続き

(51) Int. Cl. ⁵

H01S 3/18

識別記号

庁内整理番号

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.